

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants : Makoto FUJIWARA et al.
U.S. Serial No. : Not Yet Assigned
Filing Date : February 9, 2004
For : ***SEMICONDUCTOR DEVICE AND MANUFACTURING
METHOD THEREOF***
Group Art Unit : Not Yet Assigned

745 Fifth Avenue
New York, New York 10151

EXPRESS MAIL

Mailing Label Number: EV205872478US

Date of Deposit: February 9, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" Service under 37 CFR 1.10 on the date indicated above and is addressed to: **Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

SADDAM AHMED
(Typed or printed name of person mailing paper or fee)

S. Ahmed
(Signature of person mailing paper or fee)

CLAIM OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant hereby claims priority under 35 U.S.C. §§119 and/or 120, from
Japanese Application No. 2003-317259 filed September 9, 2003, a certified copy of which is
enclosed.

Acknowledgment of the claim of priority and of the receipt of said certified copy
is respectfully requested.

Please charge any additional fees required for the filing of this document or credit
any overpayment to Deposit Account No. 50-0320.

Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP
Attorneys for Applicants

By:



Grace L. Pan
Registration No. 39,440
Tel. (212) 588-0800
Fax (212) 588-0500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 9 日
Date of Application:

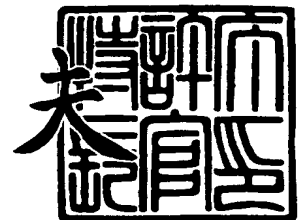
出 願 番 号 特 願 2 0 0 3 - 3 1 7 2 5 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 1 7 2 5 9]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 0 月 1 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000300141
【提出日】 平成15年 9月 9日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
 【氏名】 藤原 実
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
 【氏名】 外園 明
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
 【氏名】 石丸 一成
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1



【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板と、前記半導体基板上に形成され、第 1 方向に長く、前記第 1 方向に交差する第 2 方向に短いフィン状の半導体層と、前記半導体層の前記第 2 方向の側面に形成されるゲート絶縁層と、前記ゲート絶縁層に隣接して配置されるゲート電極と、前記半導体層内の前記ゲート絶縁層に隣接する位置に形成されるチャネル領域と、前記半導体層内において前記チャネル領域に対し前記第 1 方向に隣接する位置に形成されるソース／ドレインエクステンション領域と、前記半導体層内において前記ソース／ドレインエクステンション領域に対し前記第 1 方向に隣接する位置に形成されるソース／ドレイン領域とを具備し、前記チャネル領域における前記半導体層の前記第 2 方向の幅は、前記ソース／ドレイン領域における前記半導体層の前記第 2 方向の幅よりも狭いことを特徴とする半導体装置。

【請求項 2】

前記チャネル領域における前記半導体層の前記第 2 方向の幅は、前記ソース／ドレインエクステンション領域における前記半導体層の前記第 2 方向の幅よりも狭いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ソース／ドレインエクステンション領域における前記半導体層の前記第 2 方向の幅は、前記ソース／ドレイン領域における前記半導体層の前記第 2 方向の幅よりも狭いことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記ソース／ドレインエクステンション領域における前記半導体層の前記第 2 方向の幅は、前記ソース／ドレイン領域における前記半導体層の前記第 2 方向の幅に等しいことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 5】

前記チャネル領域を流れる電流の向きは、前記第 1 方向であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記チャネル領域における前記半導体層の前記第 2 方向の幅は、前記ゲート電極のゲート長よりも短いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記ソース／ドレインエクステンション領域における前記半導体層の前記第 2 方向の幅は、前記ゲート電極のゲート長に等しいか又はそれよりも長いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記ゲート電極は、前記半導体層の前記第 2 方向の一方側に形成される第 1 部分と、前記半導体層の前記第 2 方向の他方側に形成される第 2 部分とから構成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

前記第 1 部分と前記第 2 部分は、電気的に分離され、異なる信号が与えられることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記第 1 部分と前記第 2 部分は、電気的に結合され、同一の信号が与えられることを特徴とする請求項 8 に記載の半導体装置。

【請求項 11】

前記半導体基板は、SOI 基板であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 12】

前記チャネル領域における前記半導体層の前記第 2 方向の幅は、前記ゲート電極、前記ソース／ドレインエクステンション領域及び前記ソース／ドレイン領域からなるトランジスタを、完全空乏型素子として動作させるために必要な幅となっていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 13】

前記ソース／ドレイン領域における前記半導体層の表面上には、シリサイド層が形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 14】

半導体基板と、前記半導体基板上に形成され、第 1 方向に長く、前記第 1 方向に交差する第 2 方向に短く、前記第 2 方向に並んで配置されるフィン状の複数の第 1 半導体層と、前記複数の第 1 半導体層の前記第 1 方向の端部で前記複数の第 1 半導体層を結合する第 2 半導体層と、前記複数の第 1 半導体層の前記第 2 方向の側面に形成されるゲート絶縁層と、前記ゲート絶縁層に隣接して配置されるゲート電極と、前記複数の第 1 半導体層内の前記ゲート絶縁層に隣接する位置に形成されるチャンネル領域と、前記複数の第 1 半導体層内において前記チャンネル領域に対し前記第 1 方向に隣接する位置に形成されるソース／ドレインエクステンション領域と、前記第 2 半導体層内において前記ソース／ドレインエクステンション領域に対し前記第 1 方向に隣接する位置に形成されるソース／ドレイン領域とを具備することを特徴とする半導体装置。

【請求項 15】

前記複数の第 1 半導体層の高さは、全て、等しいことを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】

前記第 2 半導体層の内部は、全て、前記ソース／ドレイン領域になっていることを特徴とする請求項 14 に記載の半導体装置。

【請求項 17】

前記チャンネル領域における前記複数の第 1 半導体層の前記第 2 方向の幅は、前記ソース／ドレインエクステンション領域における前記複数の第 1 半導体層の前記第 2 方向の幅よりも狭いことを特徴とする請求項 14 に記載の半導体装置。

【請求項 18】

前記ソース／ドレインエクステンション領域における前記第 1 半導体層の前記第 2 方向の幅は、前記ソース／ドレイン領域における前記第 2 半導体層の前記第 2 方向の幅よりも狭いことを特徴とする請求項 17 に記載の半導体装置。

【請求項 19】

前記チャンネル領域を流れる電流の向きは、前記第 1 方向であることを特徴とする請求項 14 に記載の半導体装置。

【請求項 20】

前記チャンネル領域における前記第 1 半導体層の前記第 2 方向の幅は、前記ゲート電極のゲート長よりも短いことを特徴とする請求項 14 に記載の半導体装置。

【請求項 21】

半導体基板と、前記半導体基板上に形成され、第 1 方向に長く、前記第 1 方向に交差する第 2 方向に短いフィン状の半導体層と、前記半導体層の前記第 2 方向の側面に形成されるゲート絶縁層と、前記ゲート絶縁層に隣接して配置されるゲート電極と、前記半導体層内の前記ゲート絶縁層に隣接する位置に形成されるチャンネル領域と、前記半導体層内において前記チャンネル領域に対し前記第 1 方向に隣接する位置に形成されるソース／ドレインエクステンション領域と、前記半導体層内において前記ソース／ドレインエクステンション領域に対し前記第 1 方向に隣接する位置に形成されるソース／ドレイン領域と、前記ソース／ドレイン領域における前記半導体層の表面部に形成され、その内部の全体に形成されないシリサイド層とを具備することを特徴とする半導体装置。

【請求項 22】

前記シリサイド層は、前記半導体層の上部及び前記第 2 方向の表面部に形成されることを特徴とする請求項 21 に記載の半導体装置。

【請求項 23】

前記半導体層の上部における前記シリサイド層と前記半導体層との間には、シリサイドエッチング時のストッパとして機能する絶縁層が形成されることを特徴とする請求項 22 に記

載の半導体装置。

【請求項 24】

前記半導体層の前記第2方向の幅は、前記半導体層の前記第2方向の表面部に形成される前記シリサイド層の前記第2方向の幅の2倍よりも広いことを特徴とする請求項21に記載の半導体装置。

【請求項 25】

前記ソース／ドレイン領域における前記半導体層の前記第2方向の幅は、前記ソース／ドレインエクステンション領域又は前記チャンネル領域における前記半導体層の前記第2方向の幅よりも広いことを特徴とする請求項21に記載の半導体装置。

【請求項 26】

前記ソース／ドレイン領域における前記半導体層は、エピタキシャル層とその元になる半導体層とから構成されることを特徴とする請求項25に記載の半導体装置。

【請求項 27】

前記元になる半導体層は、シリコン層であり、前記エピタキシャル層は、シリコン層又はシリコンゲルマニウム層であることを特徴とする請求項26に記載の半導体装置。

【請求項 28】

前記ソース／ドレイン領域における前記半導体層の高さは、前記ソース／ドレインエクステンション領域又は前記チャンネル領域における前記半導体層の高さよりも高いことを特徴とする請求項21に記載の半導体装置。

【請求項 29】

前記半導体基板は、SOI基板であることを特徴とする請求項21に記載の半導体装置。

【請求項 30】

前記チャンネル領域における前記半導体層の前記第2方向の幅は、前記ゲート電極、前記ソース／ドレインエクステンション領域及び前記ソース／ドレイン領域からなるトランジスタを、完全空乏型素子として動作させるために必要な幅となっていることを特徴とする請求項21に記載の半導体装置。

【請求項 31】

半導体基板上に、第1方向に長く、前記第1方向に交差する第2方向に短いフィン状の半導体層を形成する工程と、前記半導体層の前記第2方向の側面にダミーゲート絶縁層を形成する工程と、前記ダミーゲート絶縁層に隣接するダミーゲート電極を形成する工程と、前記半導体層内にソース／ドレインエクステンション領域及びソース／ドレイン領域を形成する工程と、前記半導体層を覆う絶縁層を形成する工程と、前記絶縁層を研磨又はエッチングし、前記ダミーゲート絶縁層及び前記ダミーゲート電極の表面を露出させる工程と、前記ダミーゲート絶縁層及び前記ダミーゲート電極を除去する工程と、前記ダミーゲート絶縁層が存在していた部分の前記半導体層を酸化し、そこに酸化層を形成する工程と、前記酸化層を除去する工程と、前記ダミーゲート絶縁層が存在していた部分にゲート絶縁層を形成する工程と、前記ゲート絶縁層に隣接するゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 32】

前記ソース／ドレインエクステンション領域は、傾斜イオン注入により形成されることを特徴とする請求項31に記載の半導体装置の製造方法。

【請求項 33】

前記ソース／ドレイン領域は、傾斜イオン注入と垂直イオン注入の組み合わせ、又は、垂直イオン注入により形成されることを特徴とする請求項31に記載の半導体装置の製造方法。

【請求項 34】

前記ソース／ドレインエクステンション領域を形成した後、前記ソース／ドレイン領域を形成する前に、前記ゲート電極の側壁に側壁絶縁層が形成されることを特徴とする請求項31に記載の半導体装置の製造方法。

【請求項 35】

前記絶縁層の研磨又はエッチングは、前記半導体層上に形成されるキャップ絶縁層をストップパにして実行されることを特徴とする請求項 31 に記載の半導体装置の製造方法。

【請求項 36】

前記絶縁層の研磨又はエッチングは、前記ダミーゲート電極をストップパにして実行されることを特徴とする請求項 31 に記載の半導体装置の製造方法。

【請求項 37】

前記半導体層の酸化は、熱酸化により実行されることを特徴とする請求項 31 に記載の半導体装置の製造方法。

【請求項 38】

前記ゲート電極は、ポリシリコン又は金属からなることを特徴とする請求項 31 に記載の半導体装置の製造方法。

【請求項 39】

前記ゲート電極上及び前記ソース／ドレイン領域の表面上にシリサイド層を形成する工程をさらに具備することを特徴とする請求項 31 に記載の半導体装置の製造方法。

【請求項 40】

前記酸化層の厚さにより、前記ゲート絶縁層に隣接するチャンネル領域における前記半導体層の前記第 2 方向の幅が制御されることを特徴とする請求項 31 に記載の半導体装置の製造方法。

【請求項 41】

半導体基板上に、第 1 方向に長く、前記第 1 方向に交差する第 2 方向に短いフィン状の複数の第 1 半導体層と、前記複数の第 1 半導体層の前記第 1 方向の端部を結合する第 2 半導体層とを形成する工程と、前記複数の第 1 半導体層の前記第 2 方向の側面にダミーゲート絶縁層を形成する工程と、前記ダミーゲート絶縁層に隣接するダミーゲート電極を形成する工程と、前記複数の第 1 半導体層内にソース／ドレインエクステンション領域を形成する工程と、前記第 2 半導体層内にソース／ドレイン領域を形成する工程と、前記第 1 及び第 2 半導体層を覆う絶縁層を形成する工程と、前記絶縁層を研磨又はエッチングし、前記ダミーゲート絶縁層及び前記ダミーゲート電極の表面を露出させる工程と、前記ダミーゲート絶縁層及び前記ダミーゲート電極を除去する工程と、前記ダミーゲート絶縁層が存在していた部分の前記第 1 半導体層を酸化し、そこに酸化層を形成する工程と、前記酸化層を除去する工程と、前記ダミーゲート絶縁層が存在していた部分にゲート絶縁層を形成する工程と、前記ゲート絶縁層に隣接するゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 42】

前記ソース／ドレインエクステンション領域は、傾斜イオン注入により形成されることを特徴とする請求項 41 に記載の半導体装置の製造方法。

【請求項 43】

前記ソース／ドレイン領域は、傾斜イオン注入と垂直イオン注入の組み合わせ、又は、垂直イオン注入により形成されることを特徴とする請求項 41 に記載の半導体装置の製造方法。

【請求項 44】

第 1 絶縁層上の半導体層上にキャップ絶縁層を形成する工程と、前記キャップ絶縁層をマスクにして、前記半導体層をエッチングし、前記半導体層の形状を、第 1 方向に長く、前記第 1 方向に交差する第 2 方向に短いフィン状とする工程と、前記半導体層を覆う第 2 絶縁層を形成する工程と、前記第 2 絶縁層を研磨又はエッチングし、前記キャップ絶縁層の表面を露出させる工程と、等方性エッチングにより前記キャップ絶縁層をエッチングし、前記キャップ絶縁層のサイズを小さくする工程と、前記半導体層上に、前記半導体層の前記第 1 方向の幅よりも狭い幅のスリットを持つ第 1 レジストを形成する工程と、前記キャップ絶縁層及び前記第 1 レジストをマスクにして、前記半導体層をエッチングし、前記半導体層の中央部における前記第 2 方向の幅を、前記半導体層の前記第 1 方向の端部における前記第 2 方向の幅よりも狭くする工程と、前記半導体層の中央部にソース／ドレインエ

クステンション領域を形成する工程と、前記半導体層の前記第1方向の端部にソース／ドレイン領域を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項45】

前記キャップ絶縁層及び前記レジストをマスクにした前記半導体層のエッチングの後、前記ソース／ドレインエクステンション領域を形成する前に、再び、前記等方性エッチングにより前記キャップ絶縁層をエッチングし、前記キャップ絶縁層のサイズをさらに小さくする工程と、前記半導体層上に、前記第1レジストのスリットの前記第1方向の幅よりも狭い幅のスリットを持つ第2レジストを形成する工程と、前記キャップ絶縁層及び前記第2レジストをマスクにして、前記半導体層をエッチングし、前記半導体層の中心部における前記第2方向の幅を、前記半導体層の中央部における前記第2方向の幅よりも狭くする工程とを具備することを特徴とする請求項44に記載の半導体装置の製造方法。

【請求項46】

前記半導体層の中心部は、チャンネル領域になることを特徴とする請求項45に記載の半導体装置の製造方法。

【請求項47】

半導体基板上に、第1方向に長く、前記第1方向に交差する第2方向に短いフィン状の半導体層を形成する工程と、前記半導体層の前記第2方向の側面にゲート絶縁層を形成する工程と、前記ゲート絶縁層に隣接するゲート電極を形成する工程と、傾斜イオン注入により、前記半導体層内にソース／ドレインエクステンション領域を形成する工程と、前記ゲート電極の側壁に側壁絶縁層を形成する工程と、傾斜イオン注入と垂直イオン注入の組み合わせ、又は、垂直イオン注入により、ソース／ドレイン領域を形成する工程と、前記ゲート電極上及び前記ソース／ドレイン領域の表面上にシリサイド層を形成する工程とを具備し、前記ソース／ドレイン領域における前記半導体層の内部の全体に前記シリサイド層が形成されないように、シリサイドーションの条件が設定されることを特徴とする半導体装置の製造方法。

【請求項48】

前記側壁絶縁層を形成した後、前記ソース／ドレイン領域を形成する前に、選択成長により、前記半導体層の表面上にエピタキシャル層を成長させる工程をさらに具備することを特徴とする請求項47に記載の半導体装置の製造方法。

【請求項49】

前記エピタキシャル層は、前記ソース／ドレイン領域の一部となると共に、前記シリサイドーション時に消費される半導体となることを特徴とする請求項47に記載の半導体装置の製造方法。

【請求項50】

前記エピタキシャル層は、前記半導体層の上面上及び側面上に形成されることを特徴とする請求項47に記載の半導体装置の製造方法。

【請求項51】

半導体基板上に、第1方向に長く、前記第1方向に交差する第2方向に短いフィン状の第1半導体層、前記第1半導体層上のシリサイドーションストッパ及び前記シリサイドーションストッパ上の第2半導体層を形成する工程と、前記第1半導体層の前記第2方向の側面にゲート絶縁層を形成する工程と、前記ゲート絶縁層に隣接するゲート電極を形成する工程と、前記第1半導体層内にソース／ドレインエクステンション領域を形成する工程と、前記ゲート電極の側壁に側壁絶縁層を形成する工程と、選択成長により、前記第1及び第2半導体層の表面上にエピタキシャル層を成長させ、前記第1半導体層からの前記エピタキシャル層と前記第2半導体層からの前記エピタキシャル層とを結合させる工程と、前記第1半導体層内にソース／ドレイン領域を形成する工程と、前記ゲート電極上、前記第2半導体層上及び前記エピタキシャル層上にシリサイド層を形成する工程とを具備し、前記シリサイドーションストッパは、シリサイドーション時に、前記第1半導体層の上部からシリサイド化が進行しないように、シリサイドーション時のストッパとして機能することを特徴とする半導体装置の製造方法。

【請求項 52】

前記シリサイドーションストッパは、酸化シリコン又は窒化シリコンから構成されることを特徴とする請求項 51 に記載の半導体装置の製造方法。

【請求項 53】

請求項 14 に記載の半導体装置において、前記複数の第 1 半導体層を前記第 1 及び第 2 半導体層の境界部まで覆う側壁絶縁層と、前記第 2 半導体層をシリサイド化することにより形成されるシリサイド層とをさらに具備し、

前記第 2 半導体層は、方形を有し、前記複数の第 1 半導体層のうち最も端に位置するものの角部から前記第 2 半導体層の角部までの幅は、前記シリサイド層の厚さよりも大きくなるように設定されることを特徴とする半導体装置。

【請求項 54】

前記シリサイド層は、前記複数の第 1 半導体層のうち最も端に位置するものに達することがないことを特徴とする請求項 53 に記載の半導体装置。

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、MIS型電界効果トランジスタを有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

[A]

近年、半導体集積回路の低消費電力化や、動作速度の高速化などの要求が厳しくなるに伴い、低電源電圧化及び素子の微細化が求められている。このようなことから、トランジスタ素子に関しても、従来のプレーナ型に代わり、3次元素子が注目されている。

【0003】

3次元素子としては、例えば、フィン状の半導体層を利用したMOSトランジスタ、即ち、FinFETが知られている（例えば、特許文献1～18を参照）。FinFETは、他の種類のトランジスタと比べて、短チャネル効果の抑制、低サブスレッショルド係数、高移動度などの点において優れている。

【0004】

図73及び図74は、FinFETの構造例を示している。

シリコン基板1上には、絶縁層2が形成され、絶縁層2上には、フィン状のシリコン層3が形成される。シリコン基板1、絶縁層2及びシリコン層3により、いわゆるSOI基板が構成される。

【0005】

シリコン層3上には、シリコン層3の加工時のマスクとして使用されるキャップ絶縁層4が形成される。シリコン層3のy方向の2つの側面上には、ゲート絶縁層5を経由して、ゲート電極6が形成される。本例では、シリコン層3の一方側と他方側のゲート電極6が分離されているが、両者は、互いに電氣的に繋がっていてもよい。

【0006】

ゲート電極6に挟まれたシリコン層3内の領域は、チャネル領域7となる。また、シリコン層3内において、チャネル領域7の両側には、ソース／ドレイン領域8が形成される。チャネル領域7を流れる電流の向きは、シリコン基板1の表面に平行な方向、即ち、x方向である。

【0007】

このようなFinFETを完全空乏型素子として動作させる場合、短チャネル効果を抑制するためには、チャネル領域7におけるフィン、即ち、シリコン層3のy方向の幅（チャネル領域の幅） W_{ch} をゲート長 L_g よりも小さくする必要がある。しかし、通常、LSIの各世代においては、リソグラフィ技術により最も小さく加工できる寸法をゲート長に合せているため、ゲート長よりも狭い幅を有するチャネル領域7を形成することは、非常に困難となる。

【0008】

また、図73及び図74のFinFETでは、チャネル領域7の幅 W_{ch} とソース／ドレイン領域8におけるフィン、即ち、シリコン層3のy方向の幅とが同じである。この場合、短チャネル効果を抑制するために、チャネル領域7の幅 W_{ch} を小さくすると、ソース／ドレイン領域8におけるフィンのy方向の幅も小さくなる。その結果、ソース／ドレイン領域8の寄生抵抗が増大し、駆動電流が低下する。

【0009】

さらに、FinFETの実効ゲート幅（実効チャネル幅）は、フィン、即ち、シリコン層3の高さ h の2倍となる。この実効ゲート幅を大きくするには、複数のフィンを並列に接続すればよい。一方、FinFETの場合、ソース／ドレイン領域を形成するために、シリコン層3の側面にも不純物を導入しなければならない。このため、通常、ソース／ド

レイン領域は、傾斜イオン注入法により形成される。

【0010】

しかし、複数のフィンが並列接続されている場合、複数のフィンを接続する部分のサイズが大きくなる。その結果、傾斜イオン注入法では、フィン内のソース／ドレイン形成予定領域の全体にイオン注入による不純物が行き渡らず、ソース／ドレイン形成予定領域内に、部分的に、ソース／ドレイン領域の導電型と逆の導電型の領域が残ってしまう、という問題がある。

【0011】

[B]

プレーナ（平面）型トランジスタの場合、図75に示すように、シリサイドコンタクト部分11に起因した寄生抵抗には、シリサイド界面抵抗 R_c 、シリサイドシート抵抗 R_s 、シリサイド直下の拡散層シート抵抗 R_d などがあり、高速動作などを実現するためには、これらの抵抗成分を小さくする必要がある。

【0012】

しかし、図76に示すように、例えば、SOI構造において、ソース／ドレイン領域の大部分がシリサイド化される場合、シリサイド直下の拡散層シート抵抗 R_d が上昇し、寄生抵抗が大きくなる。また、ソース／ドレイン領域の全てがシリサイド化される場合には、寄生抵抗が極端に大きくなる。そこで、シリサイド直下の拡散層シート抵抗 R_d が上昇しないように、シリサイド直下の拡散層の深さ X_d を十分に確保することが重要となる。

【0013】

近年では、素子の高性能化、高密度化などを実現するために、トランジスタの微細化が進められ、ゲート電極によるソース／ドレイン間電流の制御が難しくなっている（短チャネル効果）。

【0014】

そこで、現在では、例えば、フィン状の半導体層を利用したMOSトランジスタ、即ち、FinFETが研究されている（例えば、特許文献1～18を参照）。FinFETは、他の種類のトランジスタと比べて、短チャネル効果の抑制、低サブスレッショルド係数、高移動度などの点において優れている。

【0015】

図77は、FinFETの構造例を示している。

シリコン基板1上には、絶縁層2が形成され、絶縁層2上には、フィン状のシリコン層3が形成される。シリコン基板1、絶縁層2及びシリコン層3により、いわゆるSOI基板が構成される。

【0016】

シリコン層3上には、シリコン層3の加工時のマスクとして使用されるキャップ絶縁層4が形成される。シリコン層3のy方向の2つの側面上には、ゲート絶縁層5を経由して、ゲート電極6が形成される。本例では、シリコン層3の一方側と他方側のゲート電極6がシリコン層3を跨いで電氣的に繋がっているが、両者は、互いに電氣的に分離されている。よい。

【0017】

ゲート電極6のx方向の側面には、側壁絶縁層（サイドウォール）9が形成される。ゲート電極6上には、ゲート電極6の加工時のマスクとして使用されるキャップ絶縁層10が形成される。

【0018】

ここで、図78に示すように、ゲート電極6に挟まれたシリコン層3内の領域は、チャネル領域7となる。また、シリコン層3内において、チャネル領域7の両側には、ソース／ドレイン領域8及びソース／ドレインエクステンション領域8aが形成される。チャネル領域7を流れる電流の向きは、シリコン基板1の表面に平行な方向、即ち、x方向である。

【0019】

通常、図 77 の F i n F E T においては、シリコン層 3 内に形成されたソース／ドレイン領域上にシリサイド層を形成するシリサイドプロセスが採用される。図 78 は、シリサイドプロセスを終えた後の F i n F E T を示している。シリサイド層 11 は、シリコン層 3 (ソース／ドレイン領域 8) 内に形成される。本例では、側壁絶縁層 9 の直下の領域を除く、ソース／ドレイン領域 8 の大部分がシリサイド化され、寄生抵抗が増大する問題が生じる。

【0020】

つまり、シリサイド直下の拡散層シート抵抗 R_d が上昇し、寄生抵抗が大きく上昇してしまう。このような問題は、例えば、図 79 に示すような S O I 構造とダブルゲート構造を採用したトランジスタにおいても、同様である。

【0021】

このようなことから、S O I 基板上に形成された F i n F E T においては、チャネル部分が全てシリサイド化されないような構造を提案し、シリサイド直下の拡散層シート抵抗 R_d を小さくして、寄生抵抗を低減することが必要となる。

【特許文献 1】 特開 2002-270850 号公報

【特許文献 2】 特開 2002-118255 号公報

【特許文献 3】 特開 2001-257357 号公報

【特許文献 4】 特開 2001-313395 号公報

【特許文献 5】 特開 2002-198538 号公報

【特許文献 6】 特開 2002-329871 号公報

【特許文献 7】 特開 2002-198538 号公報

【特許文献 8】 特開 2002-329859 号公報

【特許文献 9】 特開 2002-353244 号公報

【特許文献 10】 米国特許第 6, 355, 532 号明細書

【特許文献 11】 米国特許第 6, 396, 108 号明細書

【特許文献 12】 米国特許第 6, 413, 802 号明細書

【特許文献 13】 米国特許第 5, 338, 959 号明細書

【特許文献 14】 米国特許第 6, 472, 258 号明細書

【特許文献 15】 米国特許第 6, 406, 951 号明細書

【特許文献 16】 米国特許第 5, 773, 331 号明細書

【特許文献 17】 米国特許第 5, 689, 127 号明細書

【特許文献 18】 米国特許第 6, 252, 284 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0022】

従来においては、チャネル領域におけるフィンの幅 (チャネル領域の幅) に関して、その幅をゲート長よりも小さくすることが難しい。仮に、チャネル領域の幅をゲート長より小さくしても、この幅とソース／ドレイン領域におけるフィンの幅とが等しいため、寄生抵抗の増大や駆動電流の低下などの問題が生じる。

【0023】

また、実効チャネル幅を制御するために、複数のフィンを並列接続した構造を採用すると、ソース／ドレイン領域内に、部分的に、ソース／ドレイン領域の導電型とは異なる導電型の領域が残ってしまう。

【0024】

さらに、ソース／ドレイン領域上にシリサイド層を設ける場合には、フィンの幅が狭いために、ソース／ドレイン領域の大部分がシリサイド化されてしまい、結果として、シリサイド直下の拡散層シート抵抗が大きくなる。

【0025】

本発明は、このような問題を解決するためになされたもので、その目的は、[1] A: チャネル領域の幅がゲート長よりも小さく、B: ソース／ドレインエクステンション領域

におけるフィンの幅が、チャネル領域の幅と同じ又はそれよりも広く、C: ソース／ドレイン領域におけるフィンの幅が、チャネル領域の幅又はソース／ドレインエクステンション領域におけるフィンの幅よりも広いF i n F E Tなどの3次元素子の構造及びその製造方法を提案すること、

[2] 実効チャネル幅を、フィンの高さではなく、並列接続されるフィンの数により制御するF i n F E Tなどの3次元素子の構造及び製造方法を提案すると共に、このような構造を採用した場合であっても、ソース／ドレイン領域内に、部分的に、ソース／ドレイン領域の導電型とは異なる導電型の領域が残らないような構造及び製造方法を提案すること、及び

[3] フィン内のソース／ドレイン領域上に設けるシリサイド層に関して、ソース／ドレイン領域の大部分がシリサイド化されないようにし、シリサイド直下の拡散層シート抵抗を小さくして、寄生抵抗の上昇を抑えることにある。

【課題を解決するための手段】

【0026】

本発明の例に関わる半導体装置は、半導体基板と、前記半導体基板上に形成され、第1方向に長く、前記第1方向に交差する第2方向に短いフィン状の半導体層と、前記半導体層の前記第2方向の側面に形成されるゲート絶縁層と、前記ゲート絶縁層に隣接して配置されるゲート電極と、前記半導体層内の前記ゲート絶縁層に隣接する位置に形成されるチャネル領域と、前記半導体層内において前記チャネル領域に対し前記第1方向に隣接する位置に形成されるソース／ドレインエクステンション領域と、前記半導体層内において前記ソース／ドレインエクステンション領域に対し前記第1方向に隣接する位置に形成されるソース／ドレイン領域とを備え、前記チャネル領域における前記半導体層の前記第2方向の幅は、前記ソース／ドレイン領域における前記半導体層の前記第2方向の幅よりも狭い。

【0027】

本発明の例に関わる半導体装置は、半導体基板と、前記半導体基板上に形成され、第1方向に長く、前記第1方向に交差する第2方向に短く、前記第2方向に並んで配置されるフィン状の複数の第1半導体層と、前記複数の第1半導体層の前記第1方向の端部で前記複数の第1半導体層を結合する第2半導体層と、前記複数の第1半導体層の前記第2方向の側面に形成されるゲート絶縁層と、前記ゲート絶縁層に隣接して配置されるゲート電極と、前記複数の第1半導体層内の前記ゲート絶縁層に隣接する位置に形成されるチャネル領域と、前記複数の第1半導体層内において前記チャネル領域に対し前記第1方向に隣接する位置に形成されるソース／ドレインエクステンション領域と、前記第2半導体層内において前記ソース／ドレインエクステンション領域に対し前記第1方向に隣接する位置に形成されるソース／ドレイン領域とを備える。

【0028】

本発明の例に関わる半導体装置は、半導体基板と、前記半導体基板上に形成され、第1方向に長く、前記第1方向に交差する第2方向に短いフィン状の半導体層と、前記半導体層の前記第2方向の側面に形成されるゲート絶縁層と、前記ゲート絶縁層に隣接して配置されるゲート電極と、前記半導体層内の前記ゲート絶縁層に隣接する位置に形成されるチャネル領域と、前記半導体層内において前記チャネル領域に対し前記第1方向に隣接する位置に形成されるソース／ドレインエクステンション領域と、前記半導体層内において前記ソース／ドレインエクステンション領域に対し前記第1方向に隣接する位置に形成されるソース／ドレイン領域と、前記ソース／ドレイン領域における前記半導体層の表面部に形成され、その内部の全体に形成されないシリサイド層とを備える。

【0029】

本発明の例に関わる半導体装置の製造方法は、半導体基板上に、第1方向に長く、前記第1方向に交差する第2方向に短いフィン状の半導体層を形成する工程と、前記半導体層の前記第2方向の側面にダミーゲート絶縁層を形成する工程と、前記ダミーゲート絶縁層に隣接するダミーゲート電極を形成する工程と、前記半導体層内にソース／ドレインエク

ステンション領域及びソース／ドレイン領域を形成する工程と、前記半導体層を覆う絶縁層を形成する工程と、前記絶縁層を研磨又はエッチングし、前記ダミーゲート絶縁層及び前記ダミーゲート電極の表面を露出させる工程と、前記ダミーゲート絶縁層及び前記ダミーゲート電極を除去する工程と、前記ダミーゲート絶縁層が存在していた部分の前記半導体層を酸化し、そこに酸化層を形成する工程と、前記酸化層を除去する工程と、前記ダミーゲート絶縁層が存在していた部分にゲート絶縁層を形成する工程と、前記ゲート絶縁層に隣接するゲート電極を形成する工程とを備える。

【0030】

本発明の例に関わる半導体装置の製造方法は、半導体基板上に、第1方向に長く、前記第1方向に交差する第2方向に短いフィン状の複数の第1半導体層と、前記複数の第1半導体層の前記第1方向の端部を結合する第2半導体層とを形成する工程と、前記複数の第1半導体層の前記第2方向の側面にダミーゲート絶縁層を形成する工程と、前記ダミーゲート絶縁層に隣接するダミーゲート電極を形成する工程と、前記複数の第1半導体層内にソース／ドレインエクステンション領域を形成する工程と、前記第2半導体層内にソース／ドレイン領域を形成する工程と、前記第1及び第2半導体層を覆う絶縁層を形成する工程と、前記絶縁層を研磨又はエッチングし、前記ダミーゲート絶縁層及び前記ダミーゲート電極の表面を露出させる工程と、前記ダミーゲート絶縁層及び前記ダミーゲート電極を除去する工程と、前記ダミーゲート絶縁層が存在していた部分の前記第1半導体層を酸化し、そこに酸化層を形成する工程と、前記酸化層を除去する工程と、前記ダミーゲート絶縁層が存在していた部分にゲート絶縁層を形成する工程と、前記ゲート絶縁層に隣接するゲート電極を形成する工程とを備える。

【0031】

本発明の例に関わる半導体装置の製造方法は、第1絶縁層上の半導体層上にキャップ絶縁層を形成する工程と、前記キャップ絶縁層をマスクにして、前記半導体層をエッチングし、前記半導体層の形状を、第1方向に長く、前記第1方向に交差する第2方向に短いフィン状とする工程と、前記半導体層を覆う第2絶縁層を形成する工程と、前記第2絶縁層を研磨又はエッチングし、前記キャップ絶縁層の表面を露出させる工程と、等方性エッチングにより前記キャップ絶縁層をエッチングし、前記キャップ絶縁層のサイズを小さくする工程と、前記半導体層上に、前記半導体層の前記第1方向の幅よりも狭い幅のスリットを持つ第1レジストを形成する工程と、前記キャップ絶縁層及び前記第1レジストをマスクにして、前記半導体層をエッチングし、前記半導体層の中央部における前記第2方向の幅を、前記半導体層の前記第1方向の端部における前記第2方向の幅よりも狭くする工程と、前記半導体層の中央部にソース／ドレインエクステンション領域を形成する工程と、前記半導体層の前記第1方向の端部にソース／ドレイン領域を形成する工程とを備える。

【0032】

本発明の例に関わる半導体装置の製造方法は、半導体基板上に、第1方向に長く、前記第1方向に交差する第2方向に短いフィン状の半導体層を形成する工程と、前記半導体層の前記第2方向の側面にゲート絶縁層を形成する工程と、前記ゲート絶縁層に隣接するゲート電極を形成する工程と、傾斜イオン注入により、前記半導体層内にソース／ドレインエクステンション領域を形成する工程と、前記ゲート電極の側壁に側壁絶縁層を形成する工程と、傾斜イオン注入と垂直イオン注入の組み合わせ、又は、垂直イオン注入により、ソース／ドレイン領域を形成する工程と、前記ゲート電極上及び前記ソース／ドレイン領域の表面上にシリサイド層を形成する工程とを備え、前記ソース／ドレイン領域における前記半導体層の内部の全体に前記シリサイド層が形成されないように、シリサイドーションの条件が設定される。

【0033】

本発明の例に関わる半導体装置の製造方法は、半導体基板上に、第1方向に長く、前記第1方向に交差する第2方向に短いフィン状の第1半導体層、前記第1半導体層上のシリサイドーションストッパ及び前記シリサイドーションストッパ上の第2半導体層を形成する工程と、前記第1半導体層の前記第2方向の側面にゲート絶縁層を形成する工程と、前

記ゲート絶縁層に隣接するゲート電極を形成する工程と、前記第1半導体層内にソース／ドレインエクステンション領域を形成する工程と、前記ゲート電極の側壁に側壁絶縁層を形成する工程と、選択成長により、前記第1及び第2半導体層の表面上にエピタキシャル層を成長させ、前記第1半導体層からの前記エピタキシャル層と前記第2半導体層からの前記エピタキシャル層とを結合させる工程と、前記第1半導体層内にソース／ドレイン領域を形成する工程と、前記ゲート電極上、前記第2半導体層上及び前記エピタキシャル層上にシリサイド層を形成する工程とを備え、前記シリサイドエッチングストップは、シリサイドエッチング時に、前記第1半導体層の上部からシリサイド化が進行しないように、シリサイドエッチング時のストップとして機能する。

【発明の効果】

【0034】

本発明の例によれば、チャンネル領域の幅 W_{ch} がゲート長 L_g よりも小さく、ソース／ドレインエクステンション領域におけるフィンの幅 W_{ext} が、チャンネル領域の幅 W_{ch} と同じ又はそれよりも広く、ソース／ドレイン領域におけるフィンの y 方向の幅 W_{sd} が、チャンネル領域の幅 W_{ch} 及びソース／ドレインエクステンション領域におけるフィンの y 方向の幅 W_{ext} よりも広いFinFETなどの3次元素子の構造及び製造方法を提供できる。

【0035】

また、本発明の例によれば、複数のフィンを並列接続した構造により、フィンの高さではなく、フィンの数によって、実効チャンネル幅を制御できる。また、このような構造を採用した場合であっても、ソース／ドレイン領域内に、部分的に、ソース／ドレイン領域の導電型とは異なる導電型の領域が残らないような構造及び製造方法を提供できる。

【0036】

さらに、本発明の例によれば、フィン内のソース／ドレイン領域上に設けるシリサイド層に関して、ソース／ドレイン領域の大部分がシリサイド化されない構造及び製造方法を実現できるため、シリサイド直下の拡散層シート抵抗の増大を防ぐことができ、寄生抵抗の上昇を抑えることができる。

【発明を実施するための最良の形態】

【0037】

以下、図面を参照しながら、発明を実施するための最良の形態について詳細に説明する。

【0038】

1. 概要

本発明の例は、大きく分けると、以下の3つから構成される。

【0039】

[1] まず、例えば、FinFETなどの3次元トランジスタ素子に関して、短チャンネル効果の抑制、寄生抵抗の低下による駆動電流の増大などを実現するため、以下の構成を採用する。

【0040】

即ち、図1に示すように、チャンネル領域におけるフィンの y 方向の幅、即ち、チャンネル領域の幅 W_{ch} を、ゲート長 L_g よりも小さくして、短チャンネル効果の抑制を図る。また、ソース／ドレイン領域におけるフィンの幅 W_{sd} を、チャンネル領域の幅 W_{ch} 又はソース／ドレインエクステンション領域におけるフィンの幅 W_{ext} よりも広くして、短チャンネル効果の抑制と同時に、寄生抵抗の低下による駆動電流の増大も実現する($W_{ch} \leq W_{ext} < W_{sd}$)。

【0041】

ソース／ドレインエクステンション領域におけるフィンの幅 W_{ext} については、図2に示すように、チャンネル領域の幅 W_{ch} と同じであってもよいし($W_{ch} = W_{ext}$)、又は、図1に示すように、それよりも広くてもよい($W_{ch} < W_{ext}$)。

【0042】

また、 $W_{ch} < W_{ext}$ の関係を有している場合には、図3に示すように、ソース／ドレイン領域におけるフィンの幅 W_{sd} については、ソース／ドレインエクステンション領域におけるフィンの幅 W_{ext} と同じであってもよいし ($W_{ext} = W_{sd}$)、又は、図1に示すように、それよりも広くてもよい ($W_{ext} < W_{sd}$)。

【0043】

[2] 次に、図4に示すように、FinFETなどの3次元素子の実効チャネル幅を、フィンの高さではなく、並列接続されるフィンの数により制御するようにする。

【0044】

通常、LSI内には、異なる実効チャネル幅を持つ複数のトランジスタが形成される。この場合、それぞれのトランジスタの実効チャネル幅を、フィンの高さのみで調整すると、シリコン基板上のフィンの高さがそれぞれ異なることになり、フィンの加工が複雑になる。また、フィン上を平坦化することが難しく、その後のフォトリソグラフィを含む加工ステップを正確に行うことが困難になる。

【0045】

そこで、FinFETなどの3次元素子に関しては、その実効チャネル幅が、 $2 \times h \times n$ となるような構造及び製造方法を提案する。但し、1つのトランジスタは、並列接続される n (n は、自然数) 個のフィンから構成され、 n 個のフィンは、全て、同じ高さ h を有しているものとする。

【0046】

また、このような n 個のフィンが並列接続された構造を有するFinFETなどの3次元トランジスタ素子に関しては、ソース／ドレイン領域を形成するための傾斜イオン注入の注入角度 θ を、半導体基板の表面に垂直な面に対して低角度、例えば、 $0^\circ < \theta \leq 45^\circ$ の範囲、好ましくは、 $10^\circ \leq \theta \leq 30^\circ$ とし、ソース／ドレイン領域内に、部分的に、ソース／ドレイン領域の導電型とは異なる導電型の領域が残らないようにする。

【0047】

従来の傾斜イオン注入のみでは、図5に示すように、フィン内の全体にソース／ドレイン領域（ハッチングで示す）8を形成することが難しかったのに対し、上記方法によれば、容易に、フィン内の全体にソース／ドレイン領域を形成することができる。

【0048】

なお、例えば、ソース／ドレイン領域を形成するためのイオン注入に関しては、上記の他、図6及び図7に示すように、傾斜イオン注入（注入角度 θ は、 $0^\circ < \theta \leq 90^\circ$ の範囲）と、垂直イオン注入（注入角度 θ は、 0° ）とを組み合わせてもよい。

【0049】

ソース／ドレインエクステンション領域を形成するためのイオン注入の方法及びその注入角度とソース／ドレイン領域を形成するためのイオン注入の方法及びその注入角度とは、同じである必要はない。両者は、同じであっても、又は、異なってもよい。

【0050】

ソース／ドレインエクステンション領域は、傾斜イオン注入法により形成し、ソース／ドレイン領域は、垂直イオン注入法、又は、垂直イオン注入法と傾斜イオン注入法との組み合わせにより形成してもよい。

【0051】

イオン注入の前に、ソース／ドレイン形成予定領域内に、例えば、ゲルマニウム (Ge)、シリコン (Si) などをイオン注入し、ソース／ドレイン形成予定領域をアモルファス化しておき、ソース／ドレイン領域を形成するためのイオン注入後に、 600°C 程度の低温アニールを行えば、不純物拡散を最小限に抑えることができる。

【0052】

[3] 次に、例えば、フィン内のソース／ドレイン領域上にシリサイド層を持つFinFETなどの3次元トランジスタ素子に関しては、ソース／ドレイン領域の大部分又は全てがシリサイド化されないように、以下の構造及び製造方法を採用する。

【0053】

第一に、シリサイド層の直下に十分な厚さのシリコン層が残るように、シリサイドプロセスの条件を決定する。例えば、フィン状のシリコン層の幅（短い方の幅）、シリサイド層上に堆積する高融点金属層の厚さ、シリサイデーションの時間などを制御する。

【0054】

第二に、エレベーター・ソース／ドレインプロセスを採用し、フィン状のシリコン層上に選択的にシリコン層を成長させる。その結果、ソース／ドレイン形成予定領域においては、実質的に、シリコン層の幅が増加し、その増加した分のシリコン層がシリサイデーション時の消費シリコンとして働くため、シリサイド層の直下に十分な厚さのシリコン層を残すことができる。

【0055】

第三に、ソース／ドレイン領域の大部分又は全てがシリサイド化されないように、シリコン層の過大なシリサイド化を防ぐためのシリサイデーションストップ（例えば、酸化シリコン）を設ける。シリサイデーション時には、このストップがシリコン層のシリサイド化を抑制するため、シリサイド層の直下に十分な厚さのシリコン層を残すことができる。

【0056】

このような構造又は製造方法を採用することで、シリサイド直下の拡散層シート抵抗の増大を抑えることができ、寄生抵抗の低減に貢献できる。

【0057】**2. 第1実施例**

第1実施例は、短チャネル効果の抑制、寄生抵抗の低下による駆動電流の増大などを実現する F i n F E T の構造及び製造方法に関する。

【0058】**(1) 構造**

図8及び図9は、本発明の第1実施例に関わる F i n F E T の構造を示している。図9は、図8の I X - I X 線に沿う断面図である。

【0059】

シリコン基板1上には、絶縁層2が形成され、絶縁層2上には、フィン状のシリコン層3が形成される。シリコン基板1、絶縁層2及びシリコン層（フィン）3により、いわゆる S O I 基板が構成される。

【0060】

シリコン層3上には、シリコン層3の加工時のマスクとして使用されるキャップ絶縁層4が形成される。シリコン層3の y 方向の2つの側面上には、ゲート絶縁層5を経由して、ゲート電極6が形成される。本例では、シリコン層3の一方側と他方側のゲート電極6が分離されているが、両者は、シリコン層3を跨いで電氣的に繋がっていてもよい。

【0061】

ゲート電極6の x 方向の側面には、側壁絶縁層（サイドウォール）9が形成される。ゲート電極6に挟まれたシリコン層3内の領域は、チャネル領域7となる。また、シリコン層3内において、チャネル領域7の両側には、ソース／ドレイン領域8及びソース／ドレインエクステンション領域8 a が形成される。チャネル領域7を流れる電流の向きは、シリコン基板1の表面に平行な方向、即ち、x 方向である。

【0062】

シリサイド層11は、ソース／ドレイン領域8上に形成される。本例では、シリサイド層11は、絶縁層12の開口部に露出したソース／ドレイン領域8上、即ち、シリコン層3の3つの側面上及び上面上にそれぞれ形成される。

【0063】

このような F i n F E T において、シリコン層3の高さ h の2倍は、実効ゲート幅（実効チャネル幅）となる。また、シリコン層3の幅（短い方）は、一定ではなく、中央部から端部に向かって3段階で次第に広がっている。

【0064】

即ち、ソース／ドレインエクステンション領域 8 a におけるシリコン層 3 の幅 W_{ext} は、チャンネル領域におけるシリコン層 3 の幅、即ち、チャンネル領域の幅 W_{ch} よりも広い。また、ソース／ドレイン領域 8 におけるシリコン層 3 の幅 W_{sd} は、ソース／ドレインエクステンション領域 8 a におけるシリコン層 3 の幅 W_{ext} よりも広い。

【0065】

このため、チャンネル領域の幅 W_{ch} を狭くする一方、ソース／ドレイン領域 8 におけるシリコン層 3 の幅 W_{sd} を広くすることで、ソース／ドレイン領域 8 の不純物濃度を十分に高く、かつ、深くすることができ、寄生抵抗を大幅に減らすことができる。

【0066】

また、ゲート電極 6 のゲート長を、 L_g とすると、チャンネル領域の幅 W_{ch} は、ゲート長 L_g よりも小さく設定することができるため、短チャンネル効果を効果的に抑制できる。

【0067】

後述するが、本例では、チャンネル領域の幅 W_{ch} は、特殊な方法により、ゲート長 L_g よりも小さくしている。このため、リソグラフィ技術により最も小さく加工できる寸法を、仮に、ゲート長 L_g に合せたとしても、その寸法と同じ又はそれよりも広い幅で、シリコン層 3 を形成できる。

【0068】

(2) 製造方法

次に、図 8 及び図 9 の構造を実現するための製造方法の例について説明する。

【0069】

A: 例 1

まず、図 10 及び図 11 に示すように、例えば、シリコン基板 1 を用意し、このシリコン基板 1 内に埋め込み絶縁層（例えば、酸化シリコン）2 を形成する。同図では、埋め込み絶縁層 2 上に、シリコン層（フィン）3 が形成された状態となっているが、このシリコン層 3 は、元々、シリコン基板 1 の一部であったものである。

【0070】

例えば、LPCVD により、シリコン基板 1（同図では、シリコン層 3）上に、マスク材としてのキャップ絶縁層 4 を形成する。そして、フォトリソグラフィ及び RIE により、キャップ絶縁層 4 をパターニングし、さらに、このキャップ絶縁層 4 をマスクにして、RIE により、シリコン基板 1（同図では、シリコン層 3）をエッチングする。その結果、埋め込み絶縁層 2 上には、シリコン層 3 が形成される。

【0071】

なお、SOI 基板は、初めからシリコン基板内に絶縁層が埋め込まれた基板、例えば、SIMOX 基板を用いてもよい。

【0072】

キャップ絶縁層 4 は、例えば、酸化シリコンと窒化シリコンとの積層構造から構成される。また、シリコン層 3 は、寄生抵抗の低減のため、将来、ソース／ドレイン領域となる部分の幅 W_1 が、将来、チャンネル領域となる部分の幅 W_2 よりも広くなるように形成される。

【0073】

本例では、SOI 基板を前提にフィン（シリコン層 3）を形成したが、これに代えて、例えば、フォトリソグラフィ及び RIE により、通常のシリコン基板上にフィンを形成した後、絶縁層を埋め込むことにより、SOI 構造を実現してもよい。

【0074】

次に、図 12 及び図 13 に示すように、例えば、LPCVD により、シリコン層 3 の側面に、ダミーゲート絶縁層 5 A を形成し、続けて、ダミーゲート絶縁層 5 A 上に、ポリシリコン層（同図では、ダミーゲート電極 6 A）を形成する。そして、例えば、キャップ絶縁層 4 をストッパにして、CMP により、ポリシリコン層の上面をキャップ絶縁層 4 の上面とほぼ同じにする（平坦化）。

【0075】

この後、フォトリソグラフィ及びR I Eにより、ポリシリコン層を加工し、同図に示すような、ゲート長 L_g のダミーゲート電極6 Aを形成する。

【0076】

次に、図14及び図15に示すように、傾斜イオン注入（注入角度 θ は、例えば、 $10^\circ \leq \theta \leq 30^\circ$ ）により、シリコン層3の表面領域内に不純物を注入し、ソース／ドレインエクステンション領域8 aを形成する。この後、例えば、L P C V Dにより、埋め込み絶縁層2上に、シリコン層3を完全に覆う窒化シリコンを形成する。そして、R I Eにより、この窒化シリコンをエッチングし、側壁絶縁層（サイドウォール）9を形成する。

【0077】

側壁絶縁層9は、ダミーゲート電極6 Aの側壁及びシリコン層3の側壁にそれぞれ形成されるが、例えば、ダミーゲート電極6 Aの側壁のみに形成されるように、種々の条件を設定してもよい。

【0078】

この後、再び、傾斜イオン注入（低角度）又は垂直イオン注入（注入角度 θ は、 0° ）により、シリコン層3内に不純物を注入し、ソース／ドレイン領域8を形成する。

【0079】

ここで、ソース／ドレイン領域8を形成するためのイオン注入の前に、ソース／ドレイン形成予定領域内に、例えば、ゲルマニウム（G e）、シリコン（S i）などをイオン注入し、ソース／ドレイン形成予定領域をアモルファス化しておいてもよい。この場合、ソース／ドレイン領域8を形成するためのイオン注入後に、 600°C 程度の低温アニール（S P E（Solid Phase Epitaxial regrowth））を行えば、不純物拡散を最小限に抑えることができる。

【0080】

また、側壁絶縁層9を形成した後に、エピタキシャル成長を行って、シリコン層3の表面にエピタキシャル層を形成してもよい。

【0081】

次に、図16及び図17に示すように、埋め込み絶縁層2上に、シリコン層3を完全に覆う絶縁層（例えば、酸化シリコン）12を形成する。そして、例えば、キャップ絶縁層4をストップパにして、CMPにより、絶縁層12を研磨し、絶縁層12の上面をキャップ絶縁層4の上面とほぼ同じにする（平坦化）。

【0082】

その結果、ダミーゲート電極6 A（図14及び図15参照）の上面が露出する。この後、ダミーゲート電極6 A及びダミーゲート絶縁層5 Aを除去すると、その部分に、スリット状の穴が形成され、シリコン層3の表面が部分的に露出する。そして、熱酸化により、露出したシリコン層3を酸化すると、シリコン層3に食い込んだ形で、酸化シリコン層13が形成される。

【0083】

この後、酸化シリコン層13を選択的に除去すると、図18に示すように、シリコン層3のチャンネル領域7には、凹部が形成される。

【0084】

結果として、チャンネル領域7の幅 W_{ch} は、ソース／ドレインエクステンション領域8 aにおけるフィンの幅 W_{ext} よりも狭くなる。つまり、ソース／ドレイン領域8におけるフィンの幅を、 W_{sd} とすると、 $W_{ch} < W_{ext} < W_{sd}$ の関係が得られる。

【0085】

これにより、ソース／ドレイン領域8における寄生抵抗の低下による駆動電流の増大を実現できる。また、本例の場合、フォトリソグラフィによらなくとも、容易に、チャンネル領域7の幅 W_{ch} を、ゲート長 L_g よりも小さくすることができるため、短チャンネル効果の抑制に貢献できる。

【0086】

この後、図19に示すように、再び、熱酸化を行い、ゲート絶縁層（酸化シリコン）5を形成する。

【0087】

次に、図20及び図21に示すように、LPCVD法により、絶縁層12に形成されたスリット状の穴を完全に埋め込む形で、ポリシリコン層を形成する。このポリシリコン層を、CMPにより研磨、又は、エッチバックすると、シリコン層3内のチャネル領域7に自己整合されたゲート電極6が形成される。

【0088】

続いて、イオン注入法により、ゲート電極6内に不純物を注入し、不純物の活性化のための熱工程を行う。

【0089】

ここで、ゲート電極6に関しては、ポリシリコンに代えて、タングステン（W）、モリブデン（Mo）などの金属を使用してもよい。このように、ゲート電極6に金属を使用した場合には、いわゆるゲート電極の空乏化が生じないため、駆動電流の向上に貢献できる。

【0090】

次に、図22及び図23に示すように、フォトリソグラフィ及びRIEを用いて、キャップ絶縁層4、側壁絶縁層9及び絶縁層12の一部をエッチングし、ソース／ドレイン領域8上に、ソース／ドレイン領域8に達する開口部を形成する。この後、その開口部を含めた絶縁層2、12の上部の全体に、ニッケル（Ni）、コバルト（Co）、チタン（Ti）などの金属層を形成し、かつ、熱処理を行う。

【0091】

その結果、ソース／ドレイン領域8の上面及び側面、さらには、ゲート電極6の上面には、それぞれ、金属シリサイド層11が形成される。また、この後、金属シリサイド層11に変換されなかった金属層については、除去する。

【0092】

以上の工程により、図8及び図9に示すようなFinFETが完成する。

【0093】

この後は、特に、図示しないが、通常のウェハプロセスにより、層間絶縁層、コンタクト、配線層などを形成すると、MIS型トランジスタを有する半導体集積回路が完成する。

【0094】

B: 例2

まず、図24及び図25に示すように、例えば、シリコン基板1を用意し、このシリコン基板1内に埋め込み絶縁層（例えば、酸化シリコン）2を形成する。ここで、埋め込み絶縁層2上のシリコン層（フィン）3については、例1と同じことが言える。即ち、同図では、埋め込み絶縁層2上に、シリコン層3が形成されているが、このシリコン層3は、元々、シリコン基板1の一部であったものである。

【0095】

LPCVDにより、シリコン基板1（同図では、シリコン層3）上に、マスク材としてのキャップ絶縁層（例えば、窒化シリコン）4を形成する。そして、フォトリソグラフィ及びRIEにより、キャップ絶縁層4をパターンニングし、さらに、このキャップ絶縁層4をマスクにして、RIEにより、シリコン基板1（同図では、シリコン層3）をエッチングする。その結果、埋め込み絶縁層2上には、シリコン層3が形成される。

【0096】

また、埋め込み絶縁層2上に、シリコン層3を完全に覆う絶縁層14を形成する。そして、キャップ絶縁層4をストッパにして、CMPにより、絶縁層14を研磨し、キャップ絶縁層4の表面と絶縁層14の表面とをほぼ同じにする。

【0097】

なお、SOI基板は、初めからシリコン基板内に絶縁層が埋め込まれた基板、例えば、SIMOX基板を用いてもよい。本例では、SOI基板を前提にフィン（シリコン層3）を形成したが、これに代えて、例えば、フォトリソグラフィ及びRIEにより、通常のシリコン基板上にフィンを形成した後、絶縁層を埋め込むことにより、SOI構造を実現してもよい。

【0098】

次に、図26及び図27に示すように、等方性エッチングにより、キャップ絶縁層4をエッチングする。その結果、キャップ絶縁層4の上面及び側面が等方的にエッチングされ、キャップ絶縁層4のサイズは、一回り小さくなる。

【0099】

次に、図28及び図29に示すように、フォトリソグラフィにより、レジスト層15を形成する。このレジスト層15は、シリコン層3のチャネル領域及びソース／ドレインエクステンション領域の上部に開口を有するようにパターンニングされる。

【0100】

この後、図30及び図31に示すように、キャップ絶縁層4、絶縁層14、及び、レジスト層15をマスクにして、RIEにより、シリコン層3をエッチングすると、シリコン層3の中央部の幅は、その端部の幅よりも狭くなる。ここで、シリコン層3の中央部は、ソース／ドレインエクステンション領域が形成される部分のフィンの幅 W_{ext} となり、シリコン層3の端部は、ソース／ドレイン領域が形成される部分のフィンの幅 W_{sd} となる（ $W_{ext} < W_{sd}$ ）。

【0101】

次に、図32及び図33に示すように、等方性エッチングにより、再び、キャップ絶縁層4をエッチングする。その結果、キャップ絶縁層4の上面及び側面が等方的にエッチングされ、キャップ絶縁層4のサイズは、さらに、一回り小さくなる。この後、フォトリソグラフィにより、レジスト層16を形成する。このレジスト層16は、シリコン層3のチャネル領域の上部に開口を有するようにパターンニングされる。

【0102】

そして、キャップ絶縁層4、絶縁層14、及び、レジスト層16をマスクにして、RIEにより、再び、シリコン層3をエッチングすると、図34及び図35に示すように、シリコン層3の中央部の幅は、さらに狭くなる。ここで、シリコン層3の中央部は、チャネル領域が形成される部分のフィンの幅 W_{ch} となり、 $W_{ch} < W_{ext} < W_{sd}$ の関係が得られる。

【0103】

最後に、絶縁層14を除去すると、シリコン基板1、埋め込み絶縁層2及び上記関係を有するシリコン層3からなるSOI基板が完成する。

【0104】

この後のプロセスは、例えば、図10乃至図23に示したプロセスと同様のプロセスを採用し、FinFETを完成させる。

【0105】

但し、既に、図24乃至図35のプロセスにより、チャネル領域の幅を狭くしているため、図10乃至図23のプロセスでは、チャネル領域の幅を狭くするステップ、即ち、図16乃至図18における熱酸化による酸化シリコン層13の形成及び剥離は、省略される。

【0106】

3. 第2実施例

第2実施例は、第一に、FinFETの実効チャネル幅を、フィンの高さではなく、並列接続されるフィンの数により制御することで、フィンの形成を容易にし、かつ、その後のフォトリソグラフィなどを用いた部材の加工なども容易にする構造及び製造方法に関する。

【0107】

また、第二に、このような複数のフィンとを並列接続した構造を有する F i n F E T において、ソース／ドレイン領域内に、その導電型とは異なる導電型の領域が部分的に残らないような構造及び製造方法に関する。

【0108】

(1) 構造

図 3 6 及び図 3 7 は、本発明の第 2 実施例に関わる F i n F E T の構造を示している。図 3 7 は、図 3 6 の X X X V I I - X X X V I I 線に沿う断面図である。

【0109】

シリコン基板 1 上には、絶縁層 2 が形成され、絶縁層 2 上には、フィン状のシリコン層 3 が形成される。シリコン基板 1、絶縁層 2 及びシリコン層 3 により、いわゆる S O I 基板が構成される。

【0110】

シリコン層 3 は、複数のチャンネル／エクステンション部（フィン）と、これらに共通に設けられる 2 つのソース／ドレイン部とから構成される。シリコン層 3 のソース／ドレイン部は、y 方向に整列された複数のチャンネル／エクステンション部の x 方向の両端にそれぞれ 1 つずつ存在する。これらチャンネル／エクステンション部（フィン）とソース／ドレイン部とは、電氣的に接続され、z 方向から見ると、全体としては、梯子状となっている。

【0111】

ここで、1 つの F i n F E T を構成する複数のフィンの高さは、全て、同じである。このため、フィンの加工は、非常に容易になる。また、フィンの上部に形成される絶縁層の凹凸をなくし、平坦にすることができるため、その後のフォトリソグラフィなどによる部材の加工を正確に行える。

【0112】

また、F i n F E T の実効チャンネル幅については、並列接続されるフィンの数により制御している。つまり、並列接続されるフィンの数を変えることで、1 つの L S I 内に、異なる実効チャンネル幅を持つ複数の F i n F E T を形成することができる。

【0113】

シリコン層 3 の複数のチャンネル／エクステンション部（フィン）上には、シリコン層 3 の加工時のマスクとして使用されるキャップ絶縁層 4 が形成される。シリコン層 3 のチャンネル／エクステンション部の y 方向の 2 つの側面上には、ゲート絶縁層 5 を経由して、ゲート電極 6 が形成される。

【0114】

本例のデバイスは、複数のフィンが並列接続された構造を有する。従って、シリコン層 3 のチャンネル／エクステンション部、即ち、複数のフィンの一方側と他方側のゲート電極 6 は、シリコン層 3 を跨いで互いに電氣的に接続されるのが現実的である。

【0115】

ゲート電極 6 の x 方向の側面には、側壁絶縁層（サイドウォール）9 が形成される。ゲート電極 6 に挟まれたシリコン層 3 内の領域は、チャンネル領域 7 となる。また、シリコン層 3 内において、チャンネル領域 7 の両側には、ソース／ドレイン領域 8 及びソース／ドレインエクステンション領域 8 a が形成される。チャンネル領域 7 を流れる電流の向きは、シリコン基板 1 の表面に平行な方向、即ち、x 方向である。

【0116】

シリサイド層 11 は、ゲート電極 6 上及びソース／ドレイン領域 8 上にそれぞれ形成される。本例では、シリサイド層 11 は、ゲート電極 6 上、及び、絶縁層 12 の開口部に露出したソース／ドレイン領域 8 上、即ち、絶縁層 12 の開口部に露出したシリコン層 3 の側面上及び上面上にそれぞれ形成される。

【0117】

このような F i n F E T においては、「シリコン層 3 の高さ h の 2 倍」×「フィン（チャンネル／エクステンション部）の数 n」は、実効ゲート幅（実効チャンネル幅）となる。つ

まり、この構造によれば、シリコン層 3 の高さ h 及びフィンの数により、実効チャネル幅が決定される。

【0118】

各々のフィンの y 方向の幅は、一定ではなく、中央部から端部に向かって 3 段階で次第に広がっている。

【0119】

即ち、ソース／ドレインエクステンション領域 8 a におけるシリコン層（フィン）3 の幅 W_{ext} は、チャネル領域におけるシリコン層（フィン）3 の幅、即ち、チャネル領域の幅 W_{ch} よりも広い。また、ソース／ドレイン領域 8 におけるシリコン層 3 の幅 W_{sd} は、ソース／ドレインエクステンション領域 8 a におけるシリコン層（フィン）3 の幅 W_{ext} よりも広い。

【0120】

このため、チャネル領域の幅 W_{ch} を狭くする一方、ソース／ドレイン領域 8 におけるシリコン層 3 の幅 W_{sd} を広くすることで、ソース／ドレイン領域 8 の不純物濃度を十分に高く、かつ、深くすることができ、寄生抵抗を大幅に減らすことができる。

【0121】

また、ゲート電極 6 のゲート長を、 L_g とすると、チャネル領域の幅 W_{ch} は、ゲート長 L_g よりも小さく設定することができるため、短チャネル効果を効果的に抑制できる。

【0122】

さらに、本実施例に関わる $F_{in}FET$ では、最も広い幅 W_{sd} を有するソース／ドレイン領域 8 におけるシリコン層 3 において、ソース／ドレイン領域 8 が、シリコン層 3 内の全体に形成される。つまり、ソース／ドレイン領域 8 内に、ソース／ドレイン領域 8 の導電型とは逆の導電型の領域が部分的に残る、ということがない。

【0123】

(2) 製造方法

次に、図 3 6 及び図 3 7 の構造を実現するための製造方法の例について説明する。

【0124】

まず、図 3 8 に示すように、例えば、シリコン基板 1 上の埋め込み絶縁層（例えば、酸化シリコン）2 上に、シリコン層（フィン）3 を形成する。このシリコン層 3 は、例えば、以下のようにして形成される。

【0125】

例えば、シリコン基板内に酸素イオンをイオン注入すると共に、熱処理を行い、シリコン基板内に、埋め込み絶縁層 2 を形成する。次に、 $LPCVD$ により、シリコン基板上に、マスク材としてのキャップ絶縁層を形成する。そして、フォトリソグラフィ及び RIE により、キャップ絶縁層をパターニングし、さらに、このキャップ絶縁層をマスクにして、 RIE により、シリコン基板をエッチングする。その結果、埋め込み絶縁層 2 上には、梯子状のシリコン層（フィン）3 が形成される。

【0126】

ここで、シリコン層 3 は、寄生抵抗の低減のため、将来、ソース／ドレイン領域となる部分の幅 W_1 が、将来、チャネル／エクステンション領域となる部分の幅 W_2 よりも広くなるように形成される。

【0127】

次に、図 3 9 に示すように、例えば、熱酸化により、シリコン層 3 の側面に、ダミーゲート絶縁層 5 A を形成し、続けて、ダミーゲート絶縁層 5 A 上に、ポリシリコン層（同図では、ダミーゲート電極 6 A）を形成する。そして、例えば、キャップ絶縁層 4 をストップパにして、CMP により、ポリシリコン層の上面をキャップ絶縁層 4 の上面とほぼ同じにする（平坦化）。

【0128】

この後、フォトリソグラフィ及び RIE により、ポリシリコン層を加工し、同図に示すような、ゲート長 L_g のダミーゲート電極 6 A を形成する。

【0129】

次に、図40に示すように、傾斜イオン注入（注入角度 θ は、例えば、 $10^\circ \leq \theta \leq 30^\circ$ ）により、シリコン層3の表面領域内に不純物を注入し、ソース／ドレインエクステンション領域8aを形成する。この後、例えば、LPCVDにより、埋め込み絶縁層2上に、シリコン層3を完全に覆う窒化シリコンを形成する。そして、RIEにより、この窒化シリコンをエッチングし、側壁絶縁層（サイドウォール）を形成する。

【0130】

側壁絶縁層は、ダミーゲート電極6Aの側壁及びシリコン層3の側壁にそれぞれ形成されるが、例えば、ダミーゲート電極6Aの側壁のみに形成されるように、種々の条件を設定してもよい。

【0131】

次に、図41に示すように、垂直（シリコン基板の表面に垂直な面に対して 0° ）イオン注入、又は、シリコン基板の表面に垂直な面に対して低角度の傾斜イオン注入（例えば、注入角度 θ は、 $0^\circ < \theta < 10^\circ$ ）を行って、シリコン層3の表面領域に不純物を注入する。続けて、不純物の活性化を行うと、シリコン層3内にソース／ドレイン領域8が形成される。

【0132】

ここで、ソース／ドレイン領域を形成するためのイオン注入前に、その注入箇所と同じ箇所に、ゲルマニウム（Ge）や、シリコン（Si）などの不純物をイオン注入しておく、と、ソース／ドレイン領域8がアモルファス化する。この場合、ソース／ドレイン領域のためのイオン注入後に、 600° 程度の低温アニールを行って不純物を活性化させると（SPE（Solid Phase Epitaxial regrowth））、ソース／ドレイン領域8を構成する不純物の拡散が抑制されるため、ソース／ドレイン領域8からソース／ドレインエクステンション領域8aへの不純物の拡散を最小限に抑えられる。

【0133】

また、側壁絶縁層を形成した後に、エピタキシャル成長を行って、シリコン層3の表面にエピタキシャル層を形成してもよい。

【0134】

次に、図42に示すように、埋め込み絶縁層2上に、シリコン層3を完全に覆う絶縁層（例えば、酸化シリコン）12を形成する。そして、例えば、キャップ絶縁層4をストップパにして、CMPにより、絶縁層12を研磨し、絶縁層12の上面をキャップ絶縁層4の上面とほぼ同じにする（平坦化）。

【0135】

その結果、ダミーゲート電極6A（図41参照）の上面が露出する。この後、ダミーゲート電極6A及びダミーゲート絶縁層5Aを除去すると、その部分に、スリット状の穴が形成され、シリコン層3の表面が部分的に露出する。そして、熱酸化により、露出したシリコン層3を酸化すると、シリコン層3に食い込んだ形で、酸化シリコン層13が形成される。

【0136】

この後、酸化シリコン層13を選択的に除去すると、シリコン層3のチャネル領域7には、凹部が形成される。

【0137】

結果として、チャネル領域7の幅 W_{ch} は、ソース／ドレインエクステンション領域8aにおけるフィンの幅 W_{ext} よりも狭くなる。つまり、ソース／ドレイン領域8におけるフィンの幅を、 W_{sd} とすると、 $W_{ch} < W_{ext} < W_{sd}$ の関係が得られる。

【0138】

これにより、ソース／ドレイン領域8における寄生抵抗の低下による駆動電流の増大を実現できる。また、本例の場合、フォトリソグラフィによらなくとも、容易に、チャネル領域7の幅 W_{ch} を、ゲート長 L_g よりも小さくすることができるため、短チャネル効果

の抑制に貢献できる。

【0139】

この後は、上述の第1実施例における製造ステップ（図19～図23）と同じ製造ステップを行うことにより、図36及び図37に示すようなF i n F E Tが完成する。

【0140】

さらに、この後、特に、図示しないが、通常のウェハプロセスにより、層間絶縁層、コンタクト、配線層などを形成すると、M I S型トランジスタを有する半導体集積回路が完成する。

【0141】

4. 第3実施例

第3実施例は、ソース／ドレイン領域上にシリサイド層を持つF i n F E Tにおいて、ソース／ドレイン領域の大部分又は全てがシリサイド化されないような構造及び製造方法に関する。

【0142】

(1) 構造

以下、3つの例について順次説明する。

【0143】

A: 例1

図43及び図44は、本発明の第3実施例に関わるF i n F E Tの構造例1を示している。なお、図44は、図43のX L I V－X L I V線に沿う断面図である。

【0144】

シリコン基板1上には、絶縁層2が形成され、絶縁層2上には、x方向に長く、y方向に短いフィン状のシリコン層3が形成される。シリコン基板1、絶縁層2及びシリコン層（フィン）3により、いわゆるS O I基板が構成される。

【0145】

シリコン層3のy方向の2つの側面上には、ゲート絶縁層5を経由して、ゲート電極6が形成される。本例では、シリコン層3の一方側と他方側のゲート電極6は、シリコン層3を跨いで互いに電氣的に繋がっているが、両者は、分離されていてもよい。ゲート電極6のx方向の側面には、側壁絶縁層（サイドウォール）9が形成される。

【0146】

ゲート電極6に挟まれたシリコン層3内の領域は、チャンネル領域7となる。また、シリコン層3内において、チャンネル領域7の両側には、ソース／ドレイン領域8及びソース／ドレインエクステンション領域8aが形成される。チャンネル領域7を流れる電流の向きは、シリコン基板1の表面に平行な方向、即ち、x方向である。

【0147】

シリサイド層11は、ゲート電極6上及びソース／ドレイン領域8上に形成される。本例では、シリサイド層11は、ゲート電極6の上面上、並びに、シリコン層3の側面上及び上面上にそれぞれ形成される。

【0148】

このF i n F E Tの特徴は、シリコン層3の表面に形成されるシリサイド層11の間に、十分な厚さのソース／ドレイン領域8が存在している点にある。シリサイド層11は、シリコン層と金属層との反応により形成されるため、シリサイド層11の間のソース／ドレイン領域8の厚さは、シリコン層3の厚さ、金属層の厚さや、シリサイデーションの温度及び時間などにより決定される。

【0149】

最悪のケースとしては、ソース／ドレイン領域8におけるシリコン層3の全てがシリサイド化される場合がある。このようなケースは、少なくとも避けたいため、常に、シリサイド層11のy方向の厚さは、シリコン層3のy方向の厚さの1/2よりも小さくなるようにする。

【0150】

また、例えば、上述の図4に示すように、ゲート側壁 S - w a l l の端部とシリコン層3のフィンの端部とが一致するように形成される場合、最も端に位置するフィンの角部から複数のフィンを結合する方形の結合部分の角部までの幅 a がシリサイド層の厚さよりも小さい場合、シリサイド化が結合部分の上面及び側面から進行することから、最も端に位置するフィンがシリサイド化され、寄生抵抗が増大する。

【0151】

そこで、例えば、最も端に位置するフィンの角部から複数のフィンを結合する結合部分の角部までの幅 a がシリサイド層の厚さよりも大きくなるように予め設計しておき、シリサイド時に、最も端に位置するフィンにシリサイド層が形成されないようにする。

【0152】

B: 例2

図45及び図46は、本発明の第3実施例に関わる F i n F E T の構造例2を示している。なお、図46は、図45の X L V I - X L V I 線に沿う断面図である。

【0153】

シリコン基板1上には、絶縁層2が形成され、絶縁層2上には、x方向に長く、y方向に短いフィン状のシリコン層3が形成される。シリコン基板1、絶縁層2及びシリコン層(フィン)3により、いわゆる S O I 基板が構成される。

【0154】

シリコン層3のy方向の2つの側面上には、ゲート絶縁層5を経由して、ゲート電極6が形成される。本例では、シリコン層3の一方側と他方側のゲート電極6は、シリコン層3を跨いで互いに電氣的に繋がっているが、両者は、分離されていてもよい。ゲート電極6のx方向の側面には、側壁絶縁層(サイドウォール)9が形成される。

【0155】

ゲート電極6に挟まれたシリコン層3内の領域は、チャンネル領域7となる。また、シリコン層3内において、チャンネル領域7の両側には、ソース/ドレイン領域8及びソース/ドレインエクステンション領域8aが形成される。チャンネル領域7を流れる電流の向きは、シリコン基板1の表面に平行な方向、即ち、x方向である。

【0156】

シリサイド層11は、ゲート電極6上及びソース/ドレイン領域8上に形成される。本例では、シリサイド層11は、ゲート電極6の上面上、並びに、シリコン層3の側面上及び上面上にそれぞれ形成される。

【0157】

この F i n F E T は、構造例1の F i n F E T と比べると、シリサイド層11の間のソース/ドレイン領域8が非常に広く確保されている点に特徴を有する。つまり、本例では、ソース/ドレイン領域8のy方向の幅は、元々のシリコン層(フィン)3の幅とほぼ同じになっている。

【0158】

このような構造は、例えば、いわゆるエレベーター・ソース/ドレイン技術を用いて、ソース/ドレイン領域8上に、シリコン層を選択成長させた後、シリサイドーションを行うことにより、容易に得ることができる。当然に、ソース/ドレイン領域8及びシリサイド層11の厚さは、シリコン層3の厚さ、金属層の厚さや、シリサイドーションの温度及び時間などによって決定される。

【0159】

C: 例3

図47及び図48は、本発明の第3実施例に関わる F i n F E T の構造例3を示している。なお、図48は、図47の X L V I I I - X L V I I I 線に沿う断面図である。

【0160】

シリコン基板1上には、絶縁層2が形成され、絶縁層2上には、x方向に長く、y方向に短いフィン状のシリコン層3が形成される。シリコン基板1、絶縁層2及びシリコン層(フィン)3により、いわゆる S O I 基板が構成される。

【0161】

シリコン層 3 の y 方向の 2 つの側面上には、ゲート絶縁層 5 を経由して、ゲート電極 6 が形成される。本例では、シリコン層 3 の一方側と他方側のゲート電極 6 は、シリコン層 3 を跨いで互いに電氣的に繋がっているが、両者は、分離されていてもよい。ゲート電極 6 の x 方向の側面には、側壁絶縁層（サイドウォール）9 が形成される。

【0162】

ゲート電極 6 に挟まれたシリコン層 3 内の領域は、チャンネル領域 7 となる。また、シリコン層 3 内において、チャンネル領域 7 の両側には、ソース／ドレイン領域 8 及びソース／ドレインエクステンション領域 8 a が形成される。チャンネル領域 7 を流れる電流の向きは、シリコン基板 1 の表面に平行な方向、即ち、x 方向である。

【0163】

シリサイド層 11 は、ゲート電極 6 上及びソース／ドレイン領域 8 上に形成される。本例では、シリサイド層 11 は、ゲート電極 6 の上面上、シリコン層 3 の側面上、並びに、シリコン層 3 の上面の上部に形成される。

【0164】

ここで、シリコン層 3 の上面の上部に形成されるシリサイド層 11 とシリコン層 3 との間には、シリコン層 3 のシリサイドーションを抑制するためのシリサイドーションストップパ（例えば、酸化シリコン）17 が形成される。このため、シリサイド 11 の間には、十分に広いソース／ドレイン領域 8 を確保することができる。

【0165】

D: その他

例 1 乃至例 3 では、1 つの F i n F E T は、1 つのフィン有する形となっているが、例えば、1 つの F i n F E T は、並列接続された複数のフィンから構成されていてもよい。

【0166】

(2) 製造方法

次に、図 4 3 及び図 4 8 の 3 つの構造を実現するための製造方法の例について説明する。

【0167】

A: 例 1

本例は、図 4 3 及び図 4 4 の構造を実現するための製造方法に関する。

【0168】

まず、図 4 9 に示すように、例えば、シリコン基板 1 を用意し、このシリコン基板 1 内に埋め込み絶縁層（例えば、酸化シリコン）2 を形成する。同図では、埋め込み絶縁層 2 上に、シリコン層（フィン）3 が形成された状態となっているが、このシリコン層 3 は、元々、シリコン基板 1 の一部であったものである。

【0169】

例えば、L P C V D により、シリコン基板 1（同図では、シリコン層 3）上に、マスク材としてのキャップ絶縁層 4 を形成する。そして、フォトリソグラフィ及び R I E により、キャップ絶縁層 4 をパターニングし、さらに、このキャップ絶縁層 4 をマスクにして、R I E により、シリコン基板 1 をエッチングする。その結果、埋め込み絶縁層 2 上には、シリコン層 3 が形成される。

【0170】

なお、キャップ絶縁層 4 は、例えば、酸化シリコンと窒化シリコンとの積層構造から構成される。

【0171】

本例では、S O I 基板を前提にフィン（シリコン層 3）を形成したが、これに代えて、例えば、通常のシリコン基板上に絶縁層を形成し、さらに、その絶縁層上にシリコン層を形成した後、フォトリソグラフィ及び R I E により、フィンを形成するようにしてもよい。

【0172】

次に、図50及び図51に示すように、例えば、熱酸化により、シリコン層3の側面に、ゲート絶縁層5を形成した後、LPCVDにより、このゲート絶縁層5上に、ポリシリコン層（同図では、ゲート電極6）を形成する。また、LPCVDにより、ポリシリコン層上には、キャップ絶縁層（例えば、酸化シリコン、窒化シリコンなど）13Aを形成する。

【0173】

そして、例えば、フォトリソグラフィ及びRIEにより、キャップ絶縁層13Aをパターンニングする。また、キャップ絶縁層13Aをマスクにして、RIEにより、ポリシリコン層を加工し、同図に示すような、ゲート長 L_g のゲート電極6を形成する。

【0174】

なお、ゲート電極6の形成に当たっては、ゲート電極6の元になるポリシリコン層を形成した直後に、このポリシリコン層を平坦化するために、CMPを実行してもよい。

【0175】

また、ゲート電極6に関しては、ポリシリコンに代えて、タングステン（W）、モリブデン（Mo）などの金属を使用してもよい。このように、ゲート電極6に金属を使用した場合には、いわゆるゲート電極の空乏化が生じないため、駆動電流の向上に貢献できる。

【0176】

次に、図52及び図53に示すように、傾斜イオン注入（注入角度 θ は、例えば、 $10^\circ \leq \theta \leq 30^\circ$ ）により、シリコン層3の表面領域内に不純物を注入し、かつ、熱処理により、その不純物の活性化を行って、ソース／ドレインエクステンション領域8aを形成する。ソース／ドレインエクステンション領域8aは、例えば、シリコン層3のy方向の側面に形成される。

【0177】

この後、シリコン層3上のキャップ絶縁層4及びゲート電極6上のキャップ絶縁層13Aを、それぞれ除去する。例えば、キャップ絶縁層4、13Aが窒化シリコンから構成される場合には、これらキャップ絶縁層4、13Aは、 160°C 程度に加熱された燐酸により除去する。また、キャップ絶縁層4、13Aが酸化シリコンから構成される場合には、これらキャップ絶縁層4、13Aは、弗酸により除去する。

【0178】

次に、図54及び図55に示すように、例えば、LPCVDにより、埋め込み絶縁層2上に、シリコン層3を完全に覆う窒化シリコンを形成する。そして、RIEにより、この窒化シリコンをエッチングし、側壁絶縁層（サイドウォール）9を形成する。

【0179】

ここで、側壁絶縁層9は、ゲート電極6の側壁のみに形成され、シリコン層3の側壁に形成されないように、エッチング時間を調整する。

【0180】

この後、再び、低角度の傾斜イオン注入（注入角度 θ は、例えば、 $0^\circ < \theta \leq 10^\circ$ ）又は垂直イオン注入（注入角度 θ は、 0° ）により、シリコン層3内に不純物を注入し、かつ、熱処理により、その不純物の活性化を行い、ソース／ドレイン領域8を形成する。

【0181】

ソース／ドレイン領域8は、チャンネル領域7を除く、シリコン層3内の全体に形成される。

【0182】

次に、図56及び図57に示すように、シリコン層3の上面及び側面、並びに、ゲート電極6の上面を覆う金属層、例えば、ニッケル（Ni）、コバルト（Co）、チタン（Ti）、パラジウム（Pd）などの金属層を形成し、かつ、熱処理を実行する。

【0183】

その結果、ソース／ドレイン領域8の上面及び側面、さらには、ゲート電極6の上面に

は、それぞれ、金属シリサイド層 11 が形成される。また、この後、金属シリサイド層 11 に変換されなかった金属層については、除去する。

【0184】

なお、このようなシリサイデーションに際しては、チャンネル領域 7 を除く、シリコン層 3 の全てが、シリサイド層 11 に変換されることがないように、シリコン層 3 の厚さ、金属層の厚さ、及び、シリサイデーションの条件（時間、温度など）が制御される。

【0185】

以上の工程により、図 43 及び図 44 に示すような F i n F E T が完成する。

【0186】

この後は、特に、図示しないが、通常のウェハプロセスにより、層間絶縁層、コンタクト、配線層などを形成すると、M I S 型トランジスタを有する半導体集積回路が完成する。

【0187】

B: 例 2

本例は、図 45 及び図 46 の構造を実現するための製造方法に関する。

まず、シリコン層（フィン）3、ゲート絶縁層 5 及びゲート電極 6 を、上述の例 1 と同様の方法により形成する。ゲート電極 6 に関しては、例 1 と同様に、ポリシリコンから構成されていても、又は、金属から構成されていても、どちらでもよい（図 49 乃至 51 を参照）。

【0188】

次に、図 58 及び図 59 に示すように、傾斜イオン注入（注入角度 θ は、例えば、 $10^\circ \leq \theta \leq 30^\circ$ ）により、シリコン層 3 の表面領域内に不純物を注入し、かつ、熱処理により、その不純物の活性化を行って、ソース／ドレインエクステンション領域 8a を形成する。ソース／ドレインエクステンション領域 8a は、例えば、シリコン層 3 の y 方向の側面に形成される。

【0189】

この後、シリコン層 3 上のキャップ絶縁層 4 及びゲート電極 6 上のキャップ絶縁層 13A を、それぞれ除去する。例えば、キャップ絶縁層 4、13A が窒化シリコンから構成される場合には、これらキャップ絶縁層 4、13A は、 160°C 程度に加熱されたリン酸により除去する。また、キャップ絶縁層 4、13A が酸化シリコンから構成される場合には、これらキャップ絶縁層 4、13A は、弗酸により除去する。

【0190】

次に、図 60 及び図 61 に示すように、例えば、L P C V D により、埋め込み絶縁層 2 上に、シリコン層 3 を完全に覆う窒化シリコンを形成する。そして、R I E により、この窒化シリコンをエッチングし、側壁絶縁層（サイドウォール）9 を形成する。

【0191】

ここで、側壁絶縁層 9 は、ゲート電極 6 の側壁のみに形成され、シリコン層 3 の側壁に形成されないように、エッチング時間を調整する。

【0192】

この後、シリサイデーション時にソース／ドレイン領域の全てがシリサイド化されることがないように、予め、露出しているシリコン層（フィン）3 の表面上に、シリコン、シリコンゲルマニウムなどから構成される半導体層 15A を選択的に成長させ、シリコン層 3 の厚さを増やしておく。

【0193】

なお、ゲート電極 6 がポリシリコンから構成される場合には、これと同時に、ゲート電極 6 上にも、選択的に、シリコン、シリコンゲルマニウムなどから構成される半導体層 15A を形成してもよい。

【0194】

シリコン（単結晶シリコン）の選択成長は、例えば、 $700^\circ\text{C} \sim 900^\circ\text{C}$ の温度範囲において、水素雰囲気中でシリコン基板を加熱し、 SiH_4 、 SiH_2Cl_2 、 SiHCl_3 、 HCl などの反応

ガスを、水素と共に、シリコン基板上に供給することで容易に実行できる。

【0195】

シリコンゲルマニウム（単結晶シリコンゲルマニウム）の選択成長は、例えば、550℃～850℃の温度範囲において、水素雰囲気中でシリコン基板を加熱し、 GeH_4 、 GeH_2Cl_2 、 GeHCl_3 、 HCl などの反応ガスを、水素と共に、シリコン基板上に供給することで容易に実行できる。

【0196】

このように、選択成長により、シリコン層3上に半導体層15Aを形成し、シリコン層（フィン）3の厚さを増す技術は、エレベータード・ソース／ドレイン技術と呼ばれる。

【0197】

次に、図62及び図63に示すように、低角度の傾斜イオン注入（注入角度 θ は、例えば、 $0^\circ < \theta \leq 10^\circ$ ）又は垂直イオン注入（注入角度 θ は、 0° ）により、シリコン層3内に不純物を注入し、かつ、熱処理により、その不純物の活性化を行い、ソース／ドレイン領域8を形成する。

【0198】

ソース／ドレイン領域8は、チャネル領域7を除く、シリコン層3内の全体に形成される。

【0199】

次に、図64及び図65に示すように、シリコン層3の上面及び側面、並びに、ゲート電極6の上面を覆う金属層、例えば、ニッケル（Ni）、コバルト（Co）、チタン（Ti）、パラジウム（Pd）などの金属層を形成し、かつ、熱処理を実行する。

【0200】

その結果、ソース／ドレイン領域8の上面及び側面、さらには、ゲート電極6の上面には、それぞれ、金属シリサイド層11が形成される。また、この後、金属シリサイド層11に変換されなかった金属層については、除去する。

【0201】

このシリサイドーションでは、予め、選択成長によりシリコン層（フィン）3の厚さを増やしているため、シリコン層3の全てが、シリサイド層11に変換されるということがない。つまり、半導体層15Aがシリサイドーション時の消費シリコンとして働くため、シリサイド層11の間には、十分な厚さのソース／ドレイン領域8が残る。

【0202】

なお、シリサイド層11の厚さは、シリコン層3の厚さ、金属層の厚さ、及び、シリサイドーションの条件（時間、温度など）により制御される。

【0203】

以上の工程により、図45及び図46に示すようなFinFETが完成する。

【0204】

この後は、特に、図示しないが、通常のウェハプロセスにより、層間絶縁層、コンタクト、配線層などを形成すると、MIS型トランジスタを有する半導体集積回路が完成する。

【0205】

C: 例3

本例は、図47及び図48の構造を実現するための製造方法に関する。

【0206】

図47及び図48の構造を実現するための製造方法を説明する前に、まず、通常の製造方法とその問題点について簡単に説明する。

【0207】

まず、図66に示すように、例えば、シリコン基板1、埋め込み絶縁層（例えば、酸化シリコン）2及びシリコン層3からなるSOI構造を形成する。

【0208】

例えば、LPCVDにより、シリコン基板1（同図では、シリコン層3）上に、マスク

材としてのキャップ絶縁層 4 を形成する。そして、フォトリソグラフィ及び R I E により、キャップ絶縁層 4 をパターンニングし、さらに、このキャップ絶縁層 4 をマスクにして、R I E により、シリコン基板 1 をエッチングする。その結果、埋め込み絶縁層 2 上にシリコン層 (フィン) 3 が形成され、S O I 構造が得られる。

【0209】

この後、例えば、上述の例 1 及び例 2 と同様の方法により、ゲート絶縁層、ゲート電極、ソース／ドレインエクステンション領域、ソース／ドレイン領域などを形成する。また、シリコン層 3 上のキャップ絶縁層 4 を除去する。

【0210】

次に、図 67 に示すように、シリコン層 (ソース／ドレイン領域) 3 の表面を覆う金属層 16 A、例えば、ニッケル (N i)、コバルト (C o)、チタン (T i)、パラジウム (P d) などの金属層を形成し、かつ、熱処理を実行する。

【0211】

その結果、図 68 に示すように、シリコン層 (ソース／ドレイン領域) 3 の上面及び側面には、それぞれ、金属シリサイド層 11 が形成される。なお、金属シリサイド層 11 に変換されなかった金属層については、除去する。

【0212】

この方法では、シリサイデーションは、シリコン層 3 の上面及び側面からその内部に向かって進行する。従って、シリサイデーション後に残すシリコン層 3 の量を制御することが難しく、かつ、その量も、非常に少なくなる。これでは、シリサイド層 11 間のシリコン層 (ソース／ドレイン領域) 3 のシート抵抗が増大し、高速動作の妨げとなる。

【0213】

そこで、例 3 では、以下の製造方法を提案する。

【0214】

まず、図 69 に示すように、例えば、シリコン基板 1 を用意し、このシリコン基板 1 内に埋め込み絶縁層 (例えば、酸化シリコン) 2 を形成する。同図では、埋め込み絶縁層 2 上に、シリコン層 (フィン) 3 が形成された状態となっているが、このシリコン層 3 は、元々、シリコン基板 1 の一部であったものである。

【0215】

例えば、L P C V D により、シリコン基板 1 (同図では、シリコン層 3) 上に、シリサイデーションストッパ (例えば、酸化シリコン、窒化シリコンなど) 17、ポリシリコン層 18 及びマスク材としてのキャップ絶縁層 4 を順次形成する。そして、この後、フォトリソグラフィ及び R I E により、これらキャップ絶縁層 4、ポリシリコン層 (アモルファスシリコン層でもよい) 18 及びシリサイデーションストッパ 17 をパターンニングし、さらに、キャップ絶縁層 4 をマスクにして、R I E により、シリコン基板 1 をエッチングする。その結果、埋め込み絶縁層 2 上には、シリコン層 (フィン) 3 が形成される。

【0216】

この後、例えば、上述の例 1 及び例 2 と同様の方法により、ゲート絶縁層、ゲート電極、ソース／ドレインエクステンション領域、ソース／ドレイン領域などを形成する。

【0217】

但し、本例では、図 70 に示すように、ソース／ドレイン領域を形成する前に、例 2 と同様に、選択成長により、シリコン層 3 及びポリシリコン層 18 の側面上に、それぞれ、エピタキシャル層 (シリコン層、シリコンゲルマニウム層など) 15 A を成長させる。

【0218】

ここで、エピタキシャル層 15 A は、シリコン層 3 の側面から成長すると共に、ポリシリコン層 18 の側面からも成長する。つまり、シリコン層 3 から成長するエピタキシャル層 15 A とポリシリコン層 18 から成長するエピタキシャル層 15 A は、シリサイデーションストッパ 17 の側面上において互いに結合し、一体化する。

【0219】

この後、ポリシリコン層 18 上のキャップ絶縁層 4 を除去する。例えば、キャップ絶縁

層 4 が窒化シリコンから構成される場合には、キャップ絶縁層 4 は、160℃程度に加熱された磷酸により除去する。また、キャップ絶縁層 4 が酸化シリコンから構成される場合には、キャップ絶縁層 4 は、弗酸により除去する。

【0220】

次に、図 71 に示すように、側壁絶縁層（サイドウォール）を形成した後、低角度の傾斜イオン注入（注入角度 θ は、例えば、 $0^\circ < \theta \leq 10^\circ$ ）又は垂直イオン注入（注入角度 θ は、 0° ）により、シリコン層 3 内及びエピタキシャル層 15A 内に不純物を注入し、かつ、熱処理により、その不純物の活性化を行い、ソース／ドレイン領域を形成する。

【0221】

そして、エピタキシャル層 15A の側面及びポリシリコン層 18 の上面を覆う金属層、例えば、ニッケル（Ni）、コバルト（Co）、チタン（Ti）、パラジウム（Pd）などの金属層を形成し、かつ、熱処理を実行する。

【0222】

その結果、図 72 に示すように、シリコン層（ソース／ドレイン領域）3 の側面上には、金属シリサイド層 11 が形成される。また、この後、金属シリサイド層 11 に変換されなかった金属層については、除去する。

【0223】

なお、このようなシリサイデーションに際しては、第一に、シリコン層 3 上には、シリサイデーションストッパ 17 が存在するため、シリコン層 3 の上部からシリサイデーションが進行することはない。つまり、シリサイデーションは、シリコン層 3 の側面のみから進行するため、シリコン層 3 が完全に、シリサイド化されてしまうという事態が生じない。

【0224】

また、第二に、エピタキシャル層 15A が、シリサイデーション時の消費シリコンとして機能するため、シリサイド層 11 の間の領域には、十分な幅を持つシリコン層（ソース／ドレイン領域）3 を残すことができる。

【0225】

第三に、エピタキシャル層 15A は、シリサイデーションストッパ 17 を取り囲むように形成される。つまり、シリコン層 3 とポリシリコン層 18 とは、エピタキシャル層 15A により互いに結合される。その結果、シリサイド層 11 も、シリコン層（フィン）3 を取り囲むように、その上部及び側面上に形成されるため、シリサイド層 11 のシート抵抗を低減できる。また、上面でのコンタクトを取ることが、このプロセスにより可能となる。

【0226】

以上の工程により、図 47 及び図 48 に示すような FinFET が完成する。

【0227】

この後は、特に、図示しないが、通常のウェハプロセスにより、層間絶縁層、コンタクト、配線層などを形成すると、MIS 型トランジスタを有する半導体集積回路が完成する。

【0228】

5. その他

本発明の例に関わる FinFET は、チャネル領域の幅がゲート長よりも狭いので、短チャネル効果の抑制に優れている。また、ソース／ドレインエクステンション領域の幅及びソース／ドレイン領域の幅を大きくすることで、寄生抵抗が低減する。ソース／ドレインエクステンション領域の幅は、ゲート長と同じか、又は、それよりも大きい場合、フォトリソグラフィ及び RIE によるフィンの加工が可能になる。

【0229】

ソース／ドレインエクステンション領域の幅を、ソース／ドレイン領域の幅よりも狭くすることで、浅く、かつ、ゲート電極の端部にオーバーラップするソース／ドレインエク

ステンション領域を形成できる。ソース／ドレイン領域の幅を、ソース／ドレインエクステンション領域の幅よりも広くすると、ソース／ドレイン領域は、高い不純物濃度で、かつ、ソース／ドレインエクステンション領域よりも深い位置に形成できるため、寄生抵抗が低減する。

【0230】

フィンの左右にあるゲート電極を独立に配置することで、例えば、フィンの左右にあるゲート電極のうちのいずれか一方のみに制御信号を与えて、FinFETの閾値電圧を制御できる。複数のフィンを並列接続し、複数のチャネル領域を設けることにより、FinFETの実効ゲート（チャネル）幅を、フィンの高さではなく、並列接続されるフィンの数により調整できる。この場合、複数のフィンの高さは、全て同じにできるため、フィンの上部に形成される絶縁層の表面を平坦化し、後のフォトリソグラフィによる部材の加工を正確に行える。

【0231】

傾斜イオン注入と垂直イオン注入の組み合わせで、ソース／ドレイン領域を形成することにより、ソース／ドレイン領域の内部に、部分的に、ソース／ドレイン領域とは異なる導電型の領域が残ることがない。

【0232】

FinFETを形成するに当たって、SOI基板を用いることで、トランジスタ間の絶縁性が向上する。また、複数のFinFET（フィン）は、埋め込み絶縁層によって、電気的に、完全に分離されているため、ソース／ドレイン間のパンチスルーを抑制できる。これに対し、シリコン基板を用いる場合には、複数のFinFETは、熱伝導率の低い絶縁層で分離されないため、自己加熱効果による駆動電流の劣化を抑えられる。

【0233】

フィンの上部に形成されるキャップ絶縁層（マスク材）は、例えば、CMPによる平坦化処理時のストッパとして機能する。このキャップ絶縁層には、プロセスマージンが保てる程度の厚さが要求される。フィンの上部にもゲート電極が形成される場合、フィンの上面とゲート電極との間に配置されるキャップ絶縁層を十分に厚く形成することで、ソース／ドレイン間のパンチスルーを抑制できる。

【0234】

完全空乏型FinFETにすると共に、シリコン基板の不純物濃度を低く設定することにより、低サブスレッショルド係数、高移動度、低接合リーク電流などの効果を得ることができる。チャネル領域の幅を、例えば、酸化層の形成と剥離によって容易に小さくできる。ゲート電極の端部における電界が弱くなるため、信頼性も向上する。

【0235】

ソース／ドレイン領域の表面上に金属シリサイド層を形成する場合、ソース／ドレイン領域のほとんど又は全てが、金属シリサイド層に変換されないようにし、ソース／ドレイン領域の寄生抵抗を低減する。絶縁層上に形成される全てのフィンの高さを同じにすることができるため、フィンの形成、ゲート電極の形成、その他、部材の加工工程において、フォトリソグラフィ及びRIEが容易になる。

【0236】

チャネル領域におけるフィンの幅、ソース／ドレインエクステンション領域におけるフィンの幅、及び、ソース／ドレイン領域におけるフィンの幅を、連続的、又は、段階的に、変え、かつ、このようなフィンの上にゲート絶縁層及びゲート電極を形成することにより、プロセスを簡略化できる。

【0237】

ゲート電極上及びソース／ドレイン領域の表面上にそれぞれ金属シリサイド層を形成することで、寄生抵抗を低減できる。ダミーゲート電極及びダミーゲート絶縁層を用いることで、チャネル領域におけるフィンの幅の縮小、ゲート絶縁層の形成、ゲート電極の形成などのプロセスを、自己整合的に行うことができる。FinFETのゲート電極を金属から構成すれば、ゲート空乏化が起こらないため、駆動電流が向上する。

【0238】

シリコン基板上又はSOI基板上に形成されたフィンタイプのMISFETにおいて、ソース／ドレイン領域におけるフィンシリコンの全てがシリサイド化されないようにすることで、シリサイド層の直下の拡散層シート抵抗の増大を抑え、寄生抵抗を低減できる。選択成長によりエピタキシャル層を形成し、フィンの厚さを増加して、ソース／ドレイン領域におけるフィンシリコンの全てがシリサイド化されないようにする場合、このエピタキシャル層が、シリサイデーション時の消費シリコンとして機能するため、フィンの厚さや、シリサイド層の厚さの制約を緩和できる。

【0239】

フィンシリコンの上部に、例えば、酸化シリコンからなるシリサイデーションストップを設けることにより、シリサイデーション時に、フィンシリコンの上部からシリサイデーションが進まなくなるため、シリサイド層の間に十分な厚さのソース／ドレイン領域を残すことができる。しかも、シリサイデーションストップ上には、ポリシリコン層を形成しているため、シリサイド層は、フィンシリコンを取り囲んだ状態となり、さらに、寄生抵抗を低減できる。

【0240】

なお、本発明は、上述の形態に限定されるものではなく、その要旨を逸脱しない範囲で、構成要素を変形して具体化できる。また、上述の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる形態の構成要素を適宜組み合わせてもよい。

【産業上の利用可能性】

【0241】

本発明の例に関わる半導体装置及びその製造方法は、特に、FinFETなどの三次元素子(MISFET)を有する半導体集積回路に有用である。

【図面の簡単な説明】

【0242】

- 【図1】 本発明の例の概要を示す図。
- 【図2】 本発明の例の概要を示す図。
- 【図3】 本発明の例の概要を示す図。
- 【図4】 本発明の例の概要を示す図。
- 【図5】 本発明の例の概要を示す図。
- 【図6】 本発明の例の概要を示す図。
- 【図7】 本発明の例の概要を示す図。
- 【図8】 本発明の第1実施例に関わるFinFETを示す図。
- 【図9】 図8のIX-IX線に沿う断面図。
- 【図10】 第1実施例に関わる製造方法の第1例を示す図。
- 【図11】 図10のXI-XI線に沿う断面図。
- 【図12】 第1実施例に関わる製造方法の第1例を示す図。
- 【図13】 図12のXIII-XIII線に沿う断面図。
- 【図14】 第1実施例に関わる製造方法の第1例を示す図。
- 【図15】 図14のXV-XV線に沿う断面図。
- 【図16】 第1実施例に関わる製造方法の第1例を示す図。
- 【図17】 図16のXVII-XVII線に沿う断面図。
- 【図18】 第1実施例に関わる製造方法の第1例を示す図。
- 【図19】 第1実施例に関わる製造方法の第1例を示す図。
- 【図20】 第1実施例に関わる製造方法の第1例を示す図。
- 【図21】 図20のXXI-XXI線に沿う断面図。
- 【図22】 第1実施例に関わる製造方法の第1例を示す図。
- 【図23】 図22のXXIII-XXIII線に沿う断面図。

- 【図 2 4】 第 1 実施例に関わる製造方法の第 2 例を示す図。
- 【図 2 5】 図 2 4 の X X V - X X V 線に沿う断面図。
- 【図 2 6】 第 1 実施例に関わる製造方法の第 2 例を示す図。
- 【図 2 7】 図 2 6 の X X V I I - X X V I I 線に沿う断面図。
- 【図 2 8】 第 1 実施例に関わる製造方法の第 2 例を示す図。
- 【図 2 9】 図 2 8 の X X I X - X X I X 線に沿う断面図。
- 【図 3 0】 第 1 実施例に関わる製造方法の第 2 例を示す図。
- 【図 3 1】 図 3 0 の X X X I - X X X I 線に沿う断面図。
- 【図 3 2】 第 1 実施例に関わる製造方法の第 2 例を示す図。
- 【図 3 3】 図 3 2 の X X X I I I - X X X I I I 線に沿う断面図。
- 【図 3 4】 第 1 実施例に関わる製造方法の第 2 例を示す図。
- 【図 3 5】 図 3 4 の X X X V - X X X V 線に沿う断面図。
- 【図 3 6】 本発明の第 2 実施例に関わる F i n F E T を示す図。
- 【図 3 7】 図 3 6 の X X X V I I - X X X V I I 線に沿う断面図。
- 【図 3 8】 第 2 実施例に関わる製造方法の例を示す図。
- 【図 3 9】 第 2 実施例に関わる製造方法の例を示す図。
- 【図 4 0】 第 2 実施例に関わる製造方法の例を示す図。
- 【図 4 1】 第 2 実施例に関わる製造方法の例を示す図。
- 【図 4 2】 第 2 実施例に関わる製造方法の例を示す図。
- 【図 4 3】 本発明の第 3 実施例に関わる F i n F E T の構造例 1 を示す図。
- 【図 4 4】 図 4 3 の X L I V - X L I V 線に沿う断面図。
- 【図 4 5】 本発明の第 3 実施例に関わる F i n F E T の構造例 2 を示す図。
- 【図 4 6】 図 4 5 の X L V I - X L V I 線に沿う断面図。
- 【図 4 7】 本発明の第 3 実施例に関わる F i n F E T の構造例 3 を示す図。
- 【図 4 8】 図 4 7 の X L V I I I - X L V I I I 線に沿う断面図。
- 【図 4 9】 第 3 実施例に関わる製造方法の第 1 例を示す図。
- 【図 5 0】 第 3 実施例に関わる製造方法の第 1 例を示す図。
- 【図 5 1】 図 5 0 の L I - L I 線に沿う断面図。
- 【図 5 2】 第 3 実施例に関わる製造方法の第 1 例を示す図。
- 【図 5 3】 図 5 2 の L I I I - L I I I 線に沿う断面図。
- 【図 5 4】 第 3 実施例に関わる製造方法の第 1 例を示す図。
- 【図 5 5】 図 5 4 の L V - L V 線に沿う断面図。
- 【図 5 6】 第 3 実施例に関わる製造方法の第 1 例を示す図。
- 【図 5 7】 図 5 6 の L V I I - L V I I 線に沿う断面図。
- 【図 5 8】 第 3 実施例に関わる製造方法の第 2 例を示す図。
- 【図 5 9】 図 5 8 の L I X - L I X 線に沿う断面図。
- 【図 6 0】 第 3 実施例に関わる製造方法の第 2 例を示す図。
- 【図 6 1】 図 6 0 の L X I - L X I 線に沿う断面図。
- 【図 6 2】 第 3 実施例に関わる製造方法の第 2 例を示す図。
- 【図 6 3】 図 6 2 の L X I I I - L X I I I 線に沿う断面図。
- 【図 6 4】 第 3 実施例に関わる製造方法の第 2 例を示す図。
- 【図 6 5】 図 6 4 の L X V - L X V 線に沿う断面図。
- 【図 6 6】 第 3 実施例に関わる製造方法の第 3 例を示す図。
- 【図 6 7】 第 3 実施例に関わる製造方法の第 3 例を示す図。
- 【図 6 8】 第 3 実施例に関わる製造方法の第 3 例を示す図。
- 【図 6 9】 第 3 実施例に関わる製造方法の第 3 例を示す図。
- 【図 7 0】 第 3 実施例に関わる製造方法の第 3 例を示す図。
- 【図 7 1】 第 3 実施例に関わる製造方法の第 3 例を示す図。
- 【図 7 2】 第 3 実施例に関わる製造方法の第 3 例を示す図。
- 【図 7 3】 従来 of F i n F E T の例を示す図。

- 【図 7 4】 図 7 3 の L X X I V - L X X I V 線に沿う断面図。
【図 7 5】 従来のトランジスタの例を示す図。
【図 7 6】 従来のトランジスタの例を示す図。
【図 7 7】 従来の F i n F E T の例を示す図。
【図 7 8】 従来の F i n F E T の例を示す図。
【図 7 9】 従来のトランジスタの例を示す図。

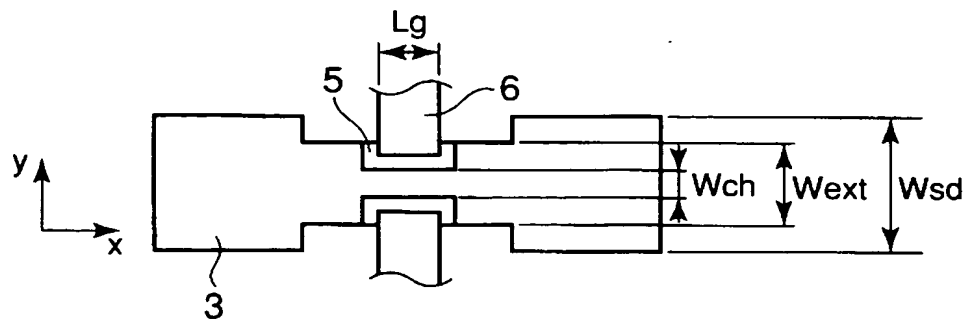
【符号の説明】

【0243】

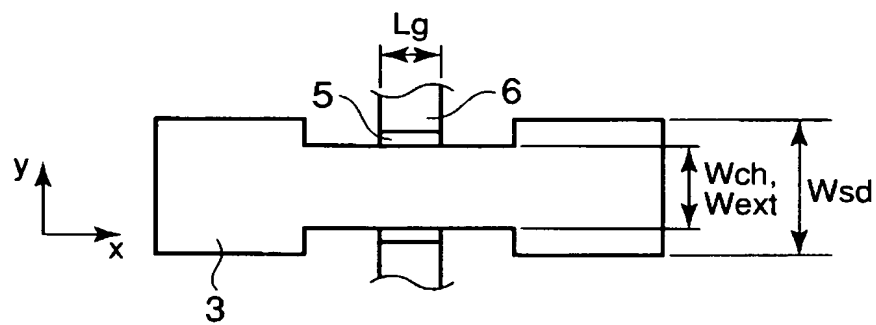
1 : シリコン基板、 2 : 埋め込み絶縁層、 3 : シリコン層、 4, 10, 13 A : キャップ絶縁層、 5 A : ダミーゲート絶縁層、 5 : ゲート絶縁層、 6 A : ダミーゲート電極、 6 : ゲート電極、 7 : チャンネル領域、 8 a : ソース／ドレインエクステンション領域、 8 : ソース／ドレイン領域、 9 : 側壁絶縁層、 11 : シリサイド層、 12 : 層間絶縁層、 13 : 酸化シリコン層、 14 : 絶縁層、 15, 16 : レジスト層、 15 A : エピタキシャル層、 16 A : 金属層、 17 : シリサイドーションストッパ、 18 : ポリシリコン層。

【書類名】 図面

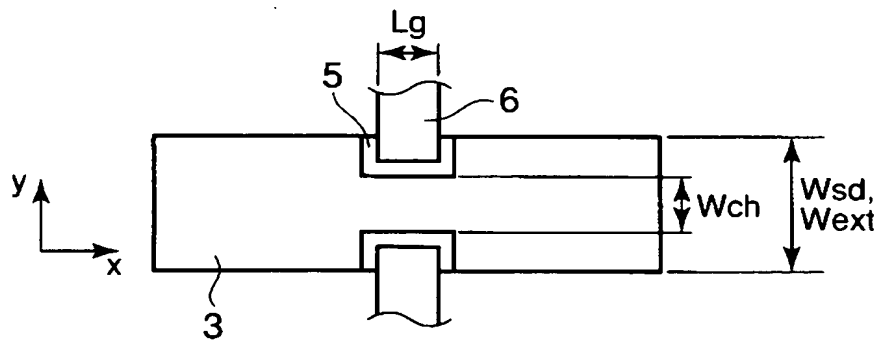
【図 1】



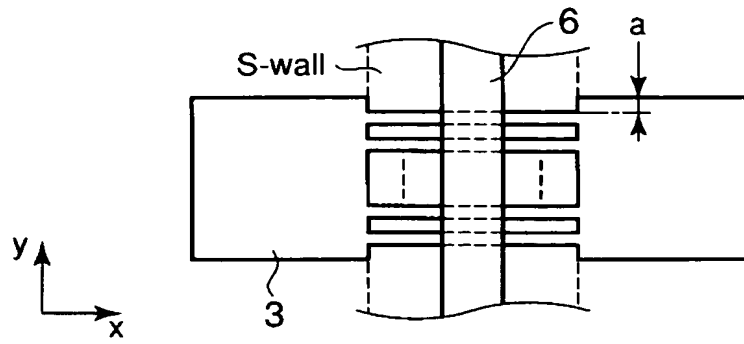
【図 2】



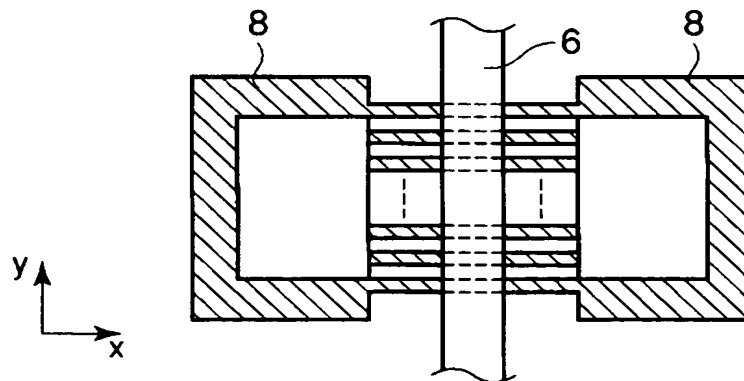
【図 3】



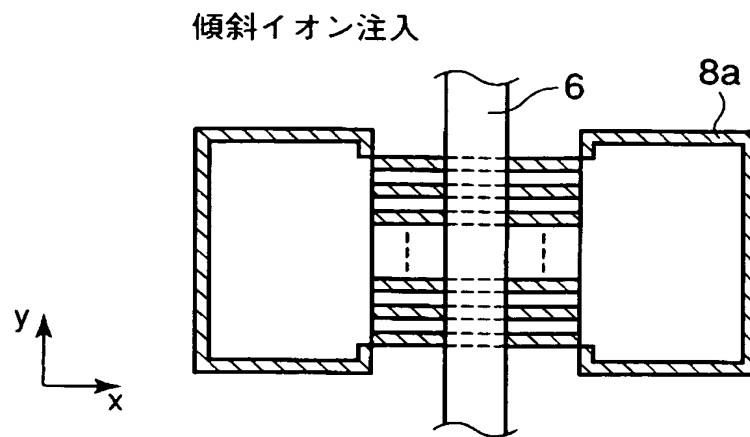
【図 4】



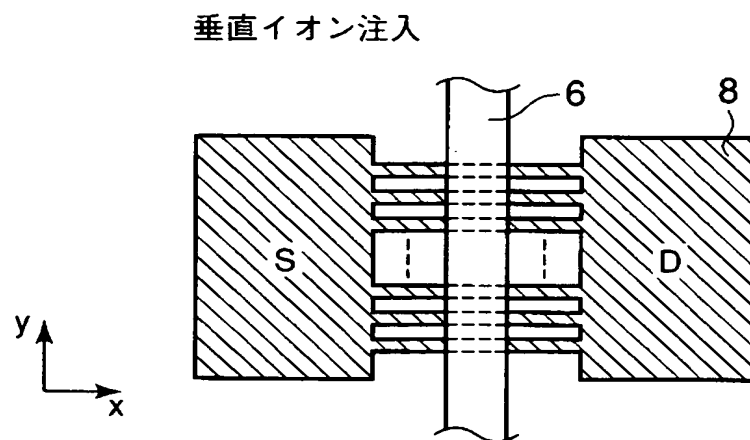
【図 5】



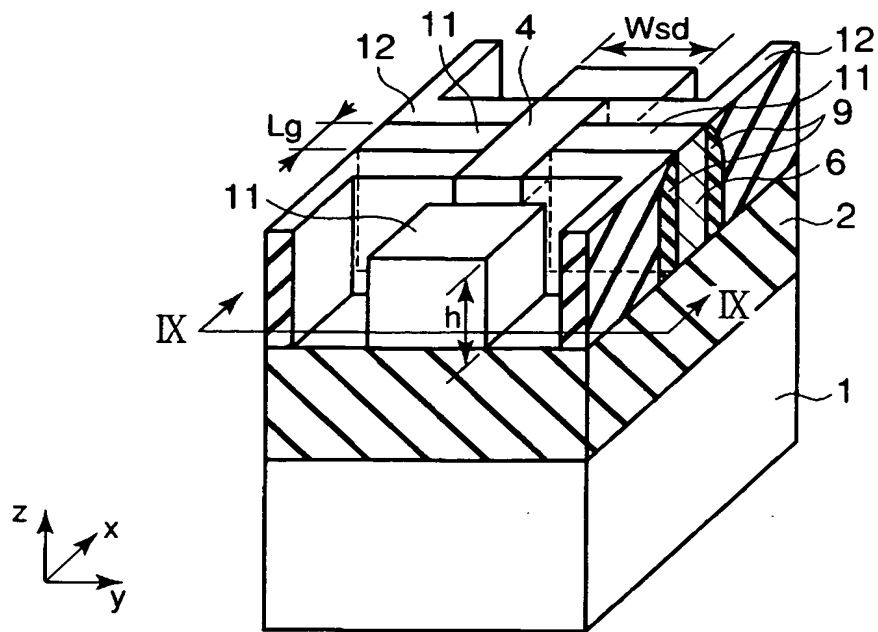
【図 6】



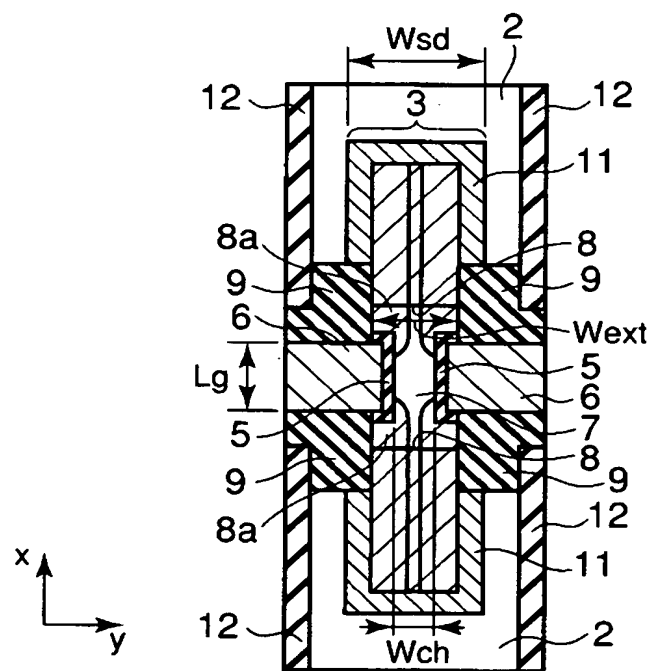
【図 7】



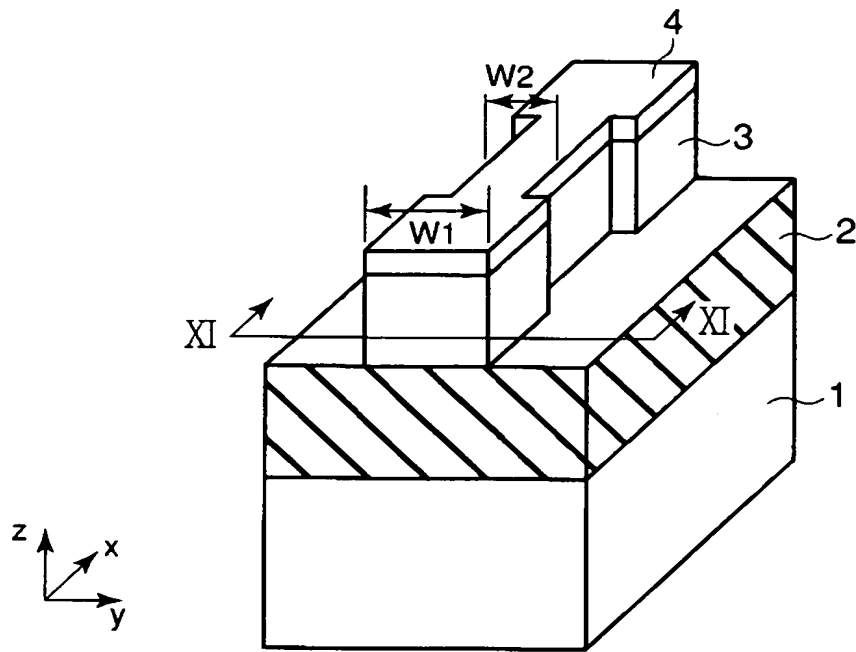
【図 8】



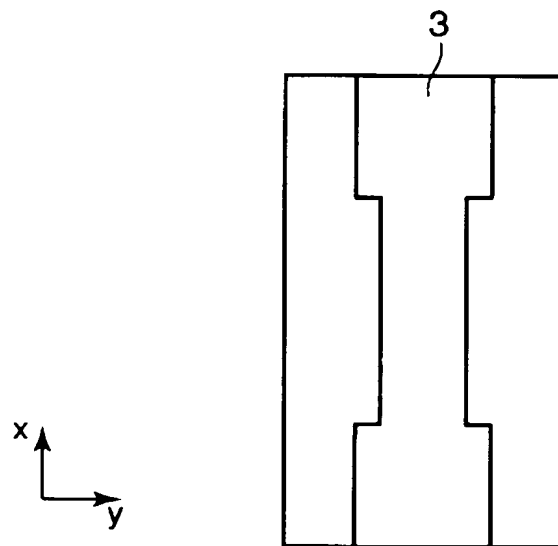
【図 9】



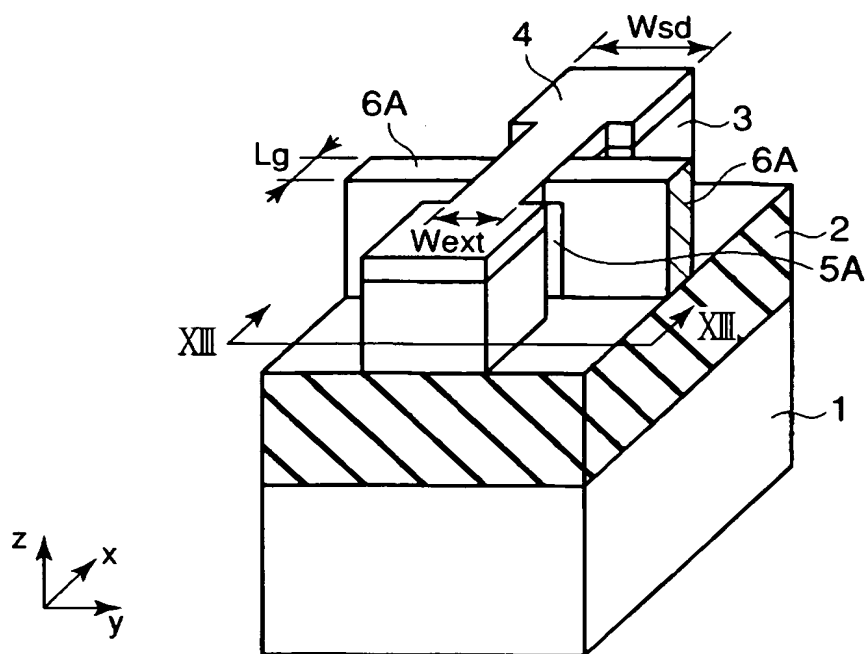
【図 10】



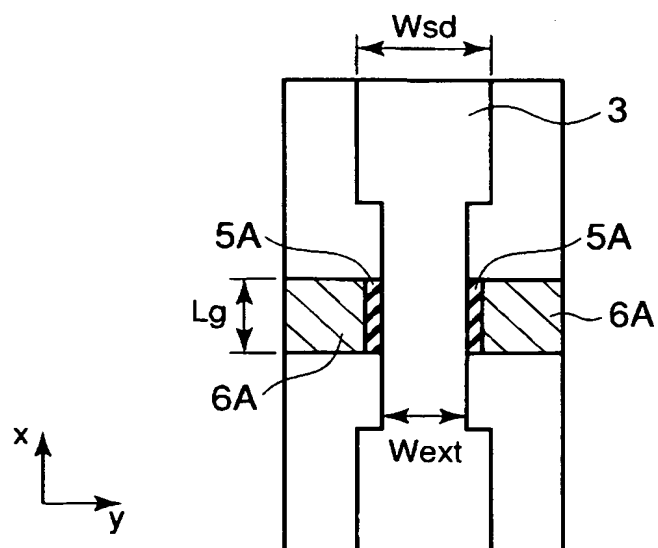
【図 11】



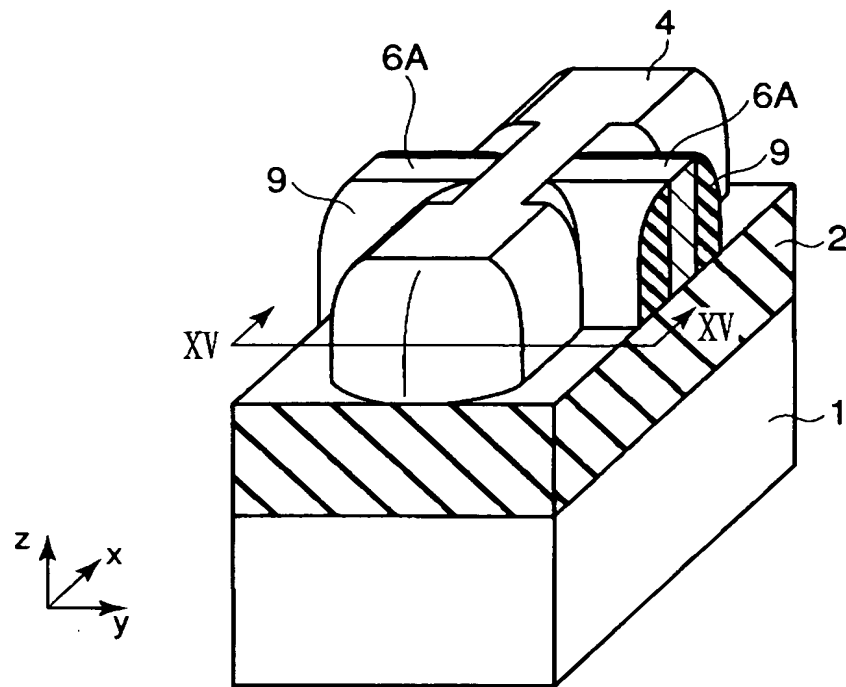
【図 12】



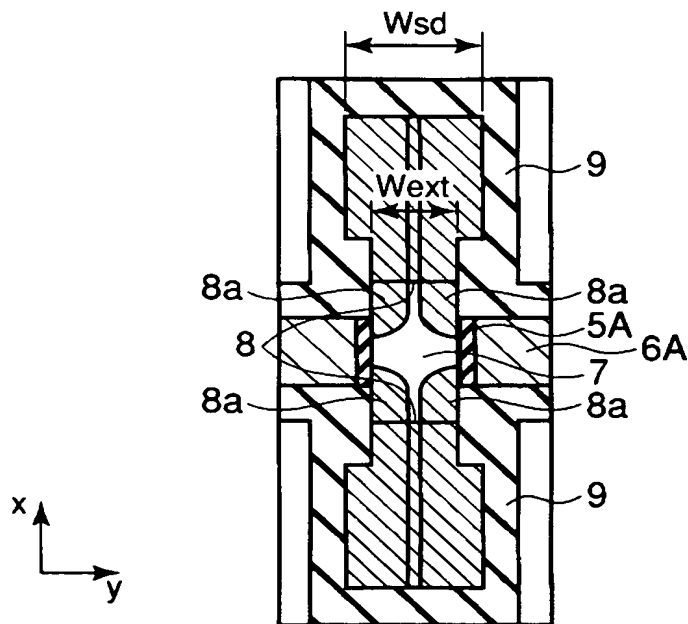
【図 13】



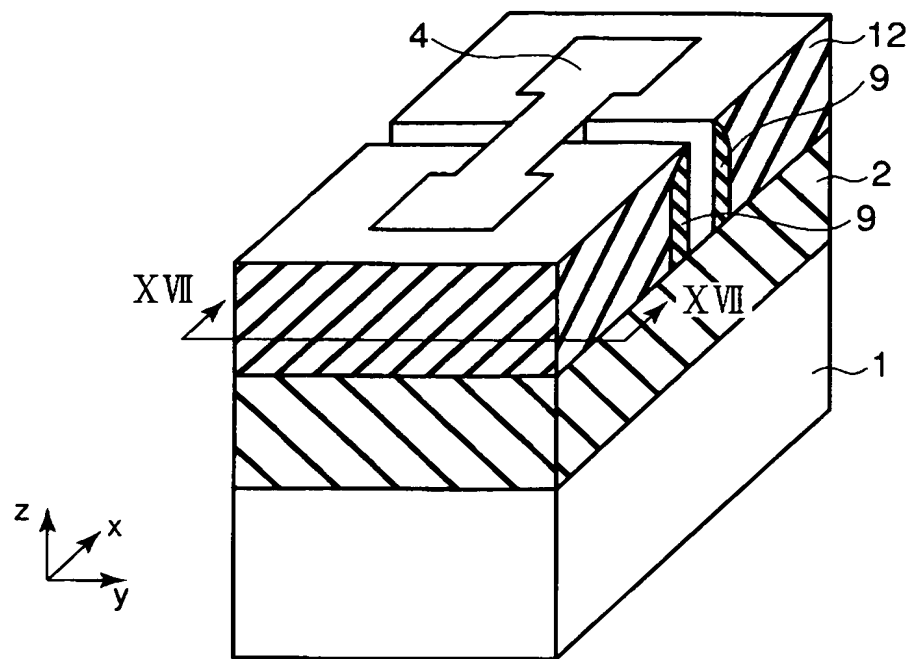
【図 14】



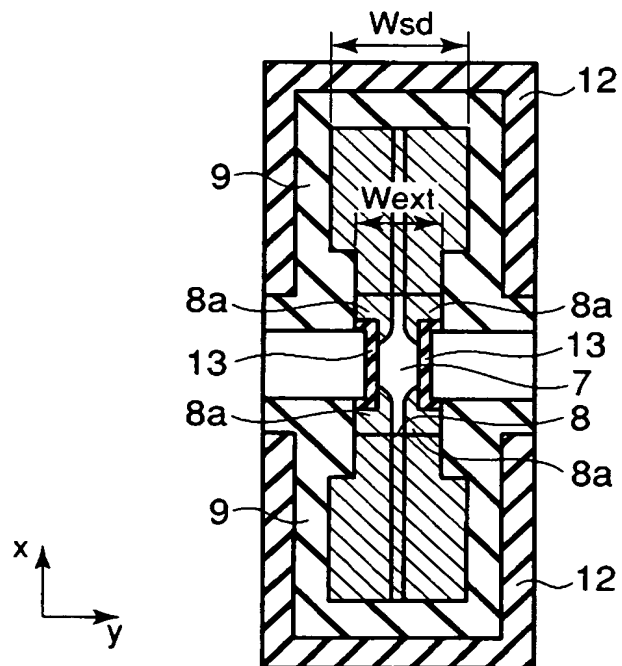
【図 15】



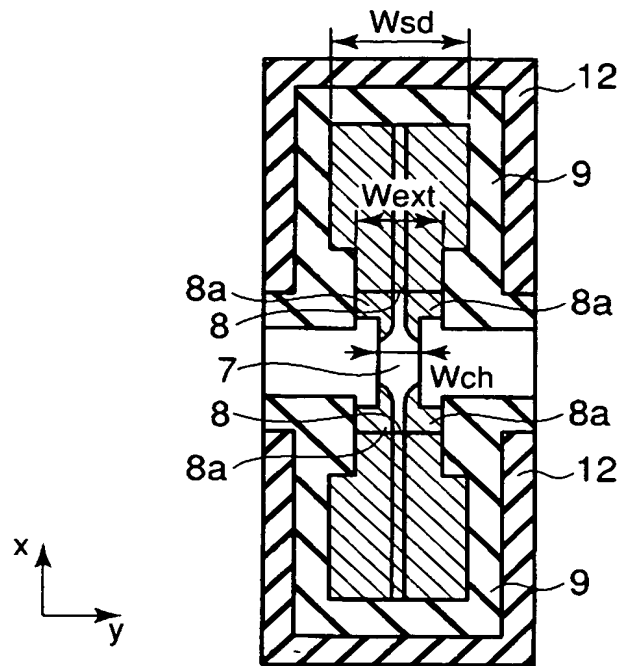
【図 16】



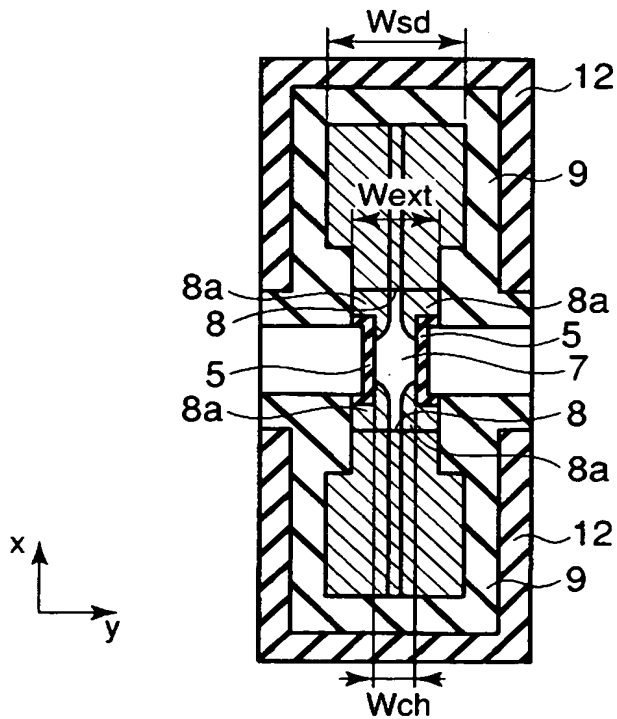
【図 17】



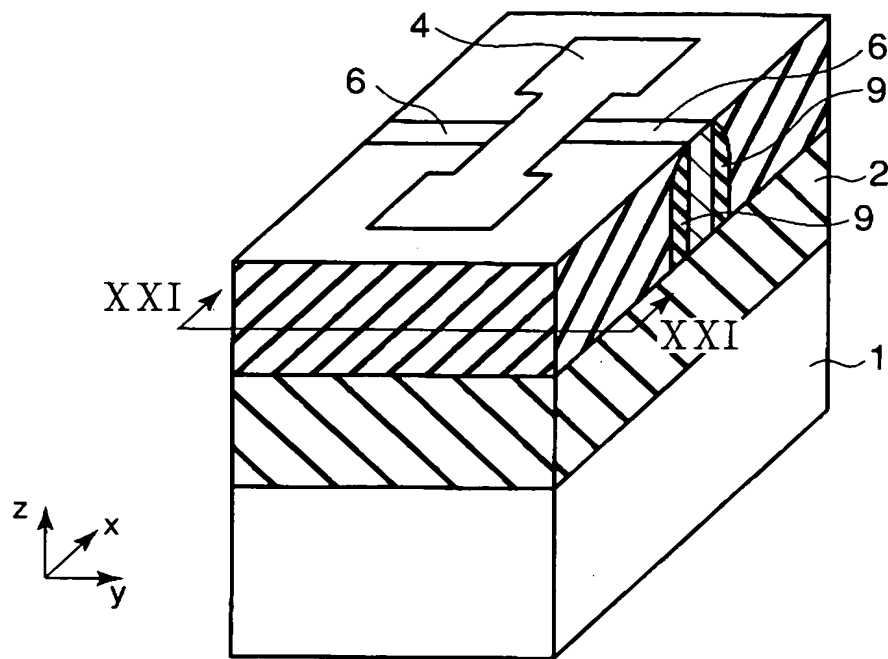
【図 18】



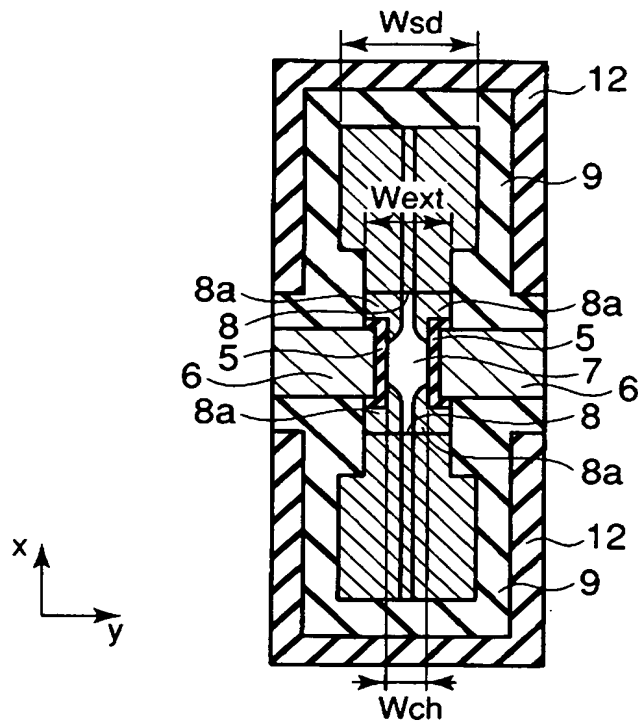
【図 19】



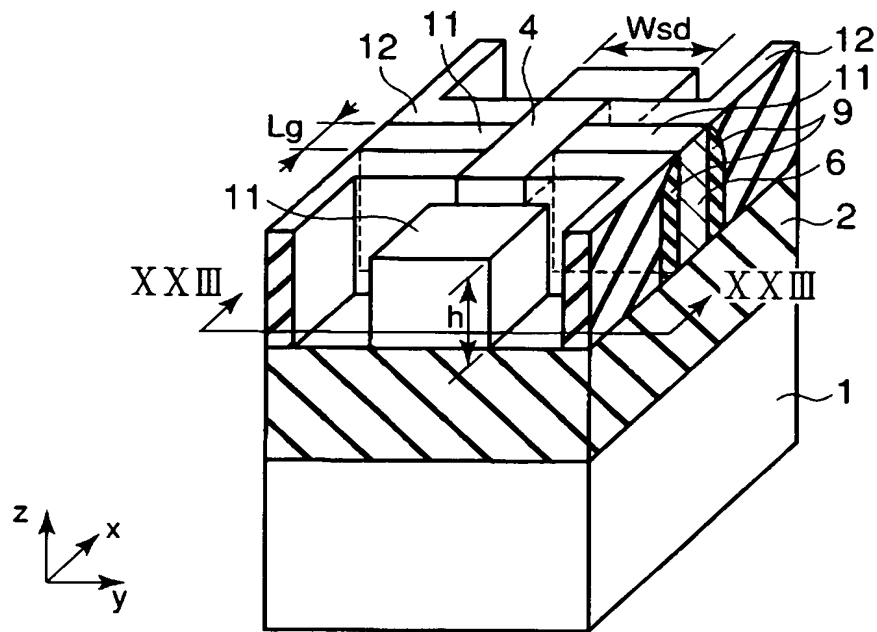
【図 20】



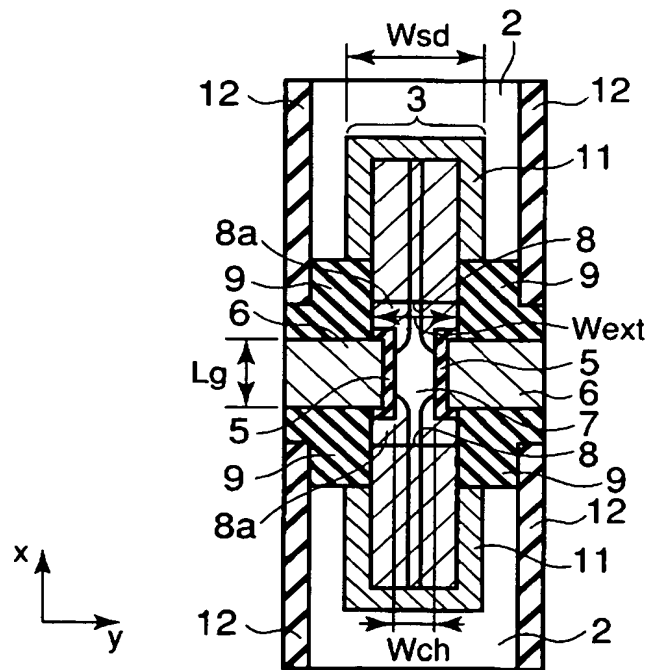
【図 21】



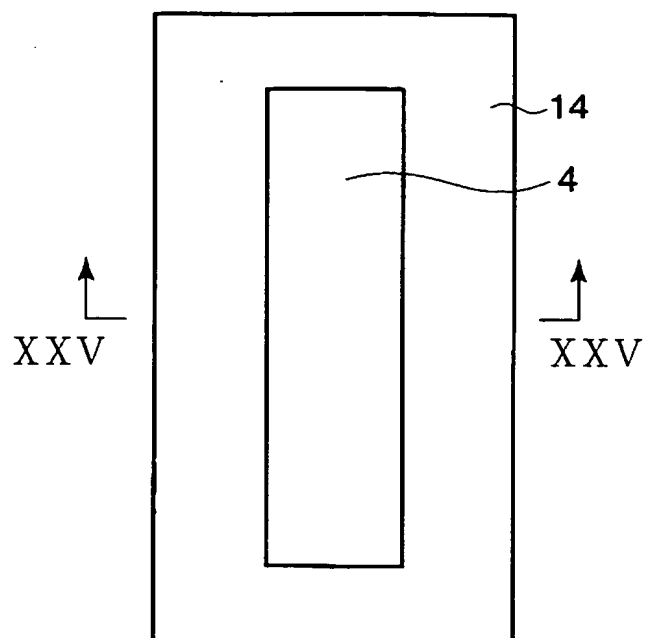
【図 22】



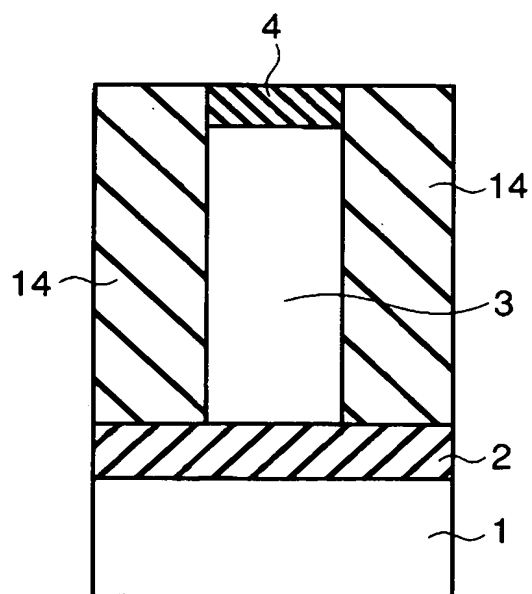
【図 23】



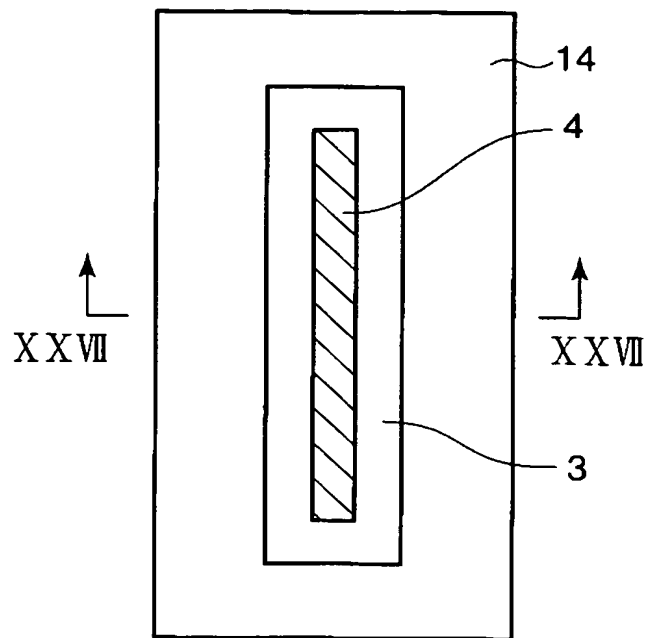
【図 24】



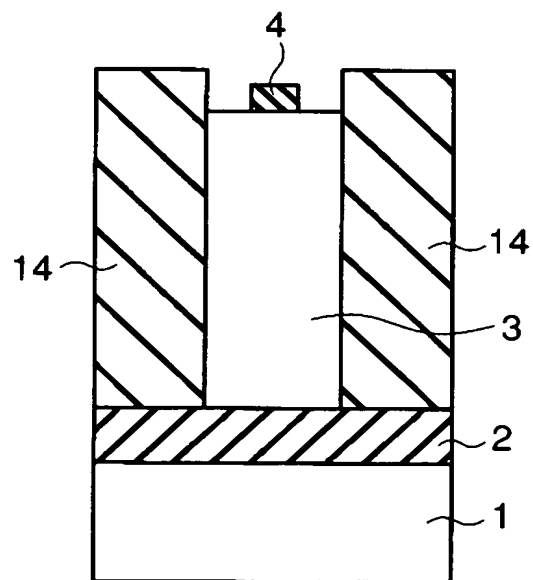
【図 25】



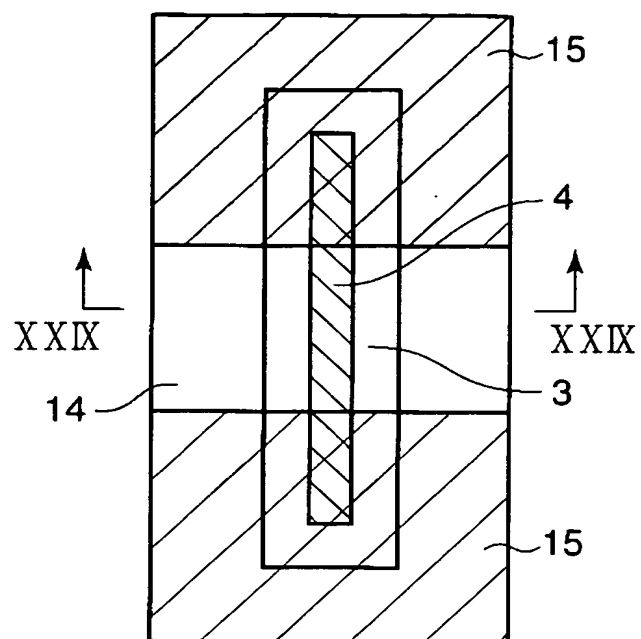
【図 26】



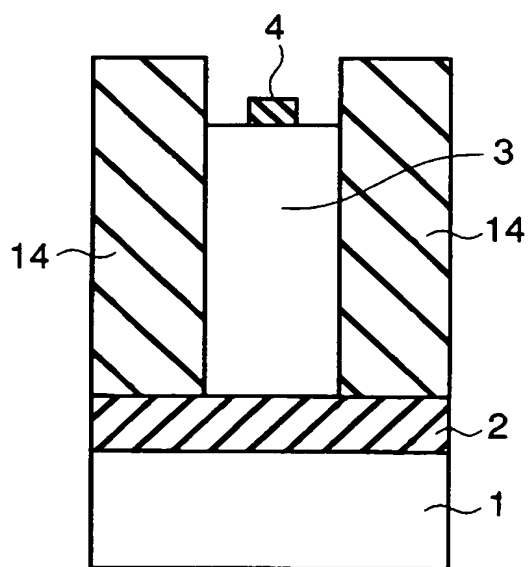
【図 27】



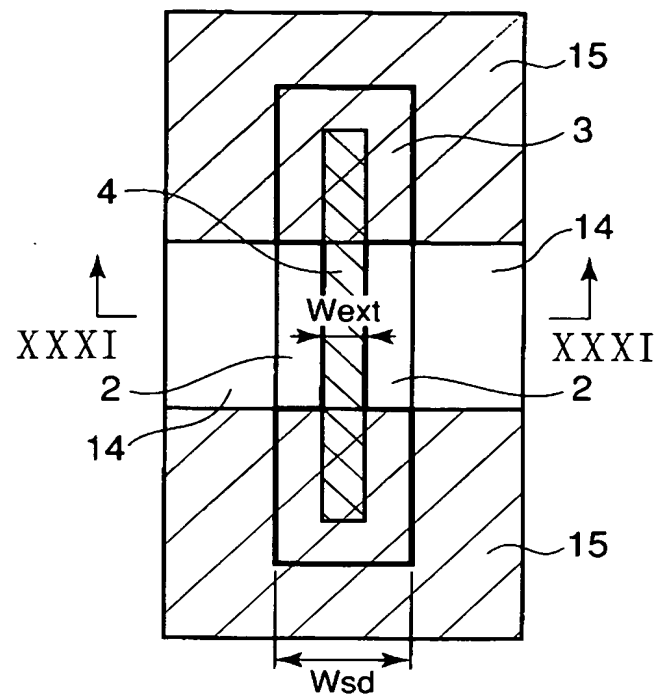
【図 28】



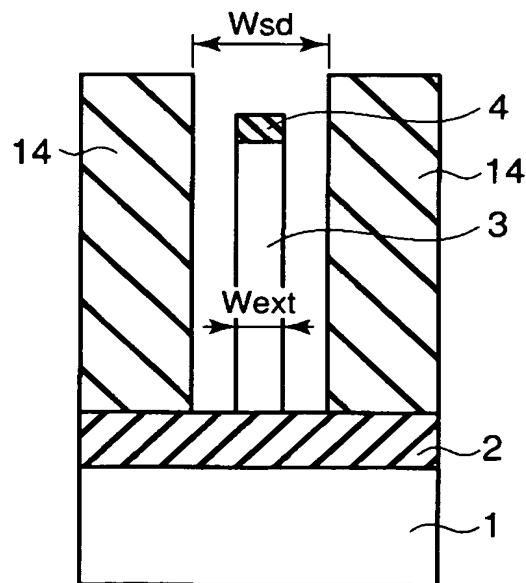
【図 29】



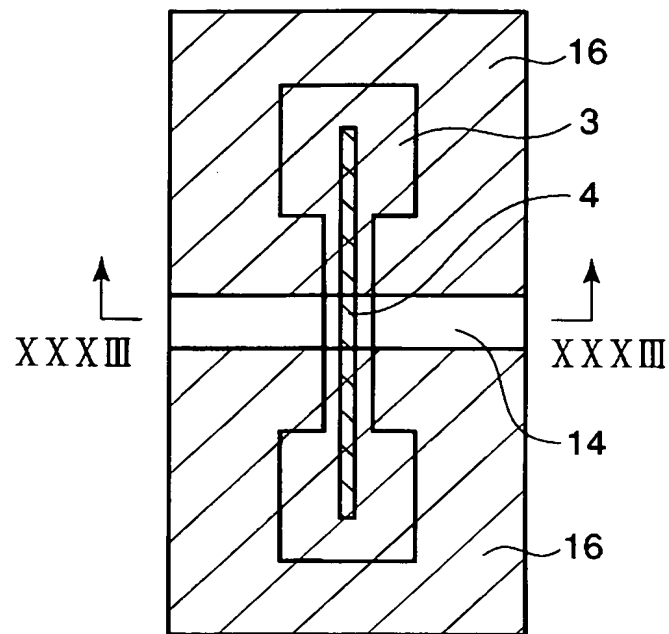
【図 30】



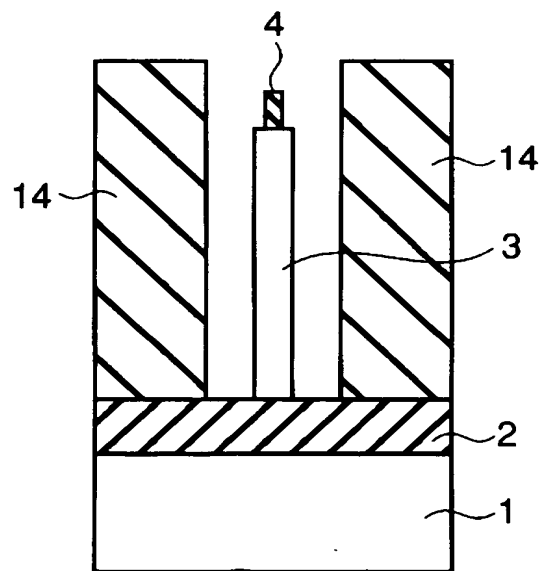
【図 31】



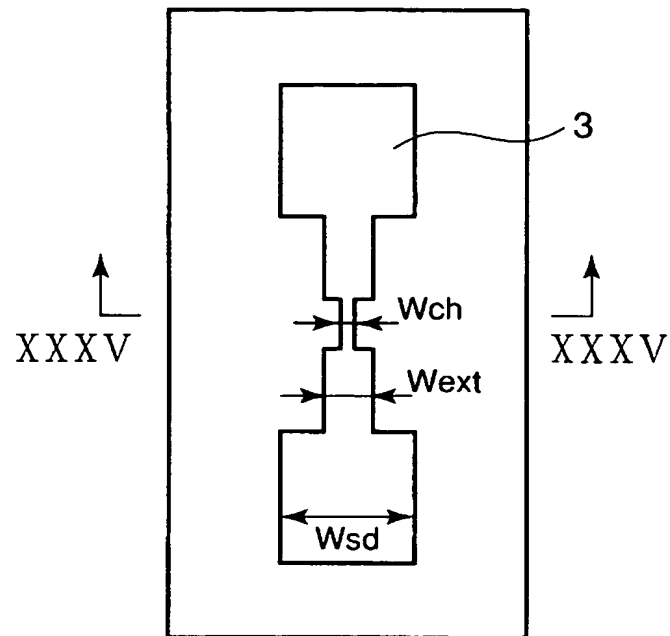
【図 32】



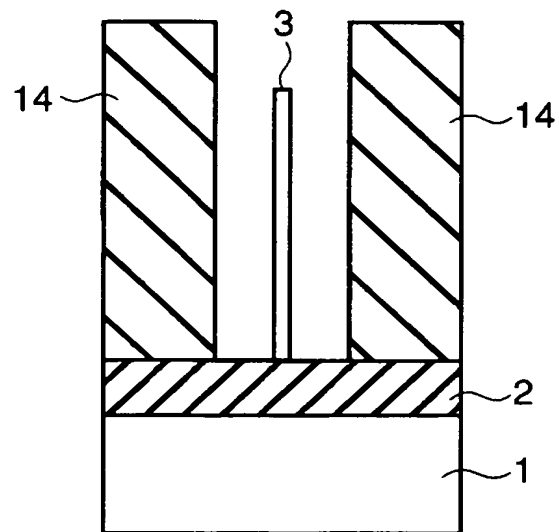
【図 33】



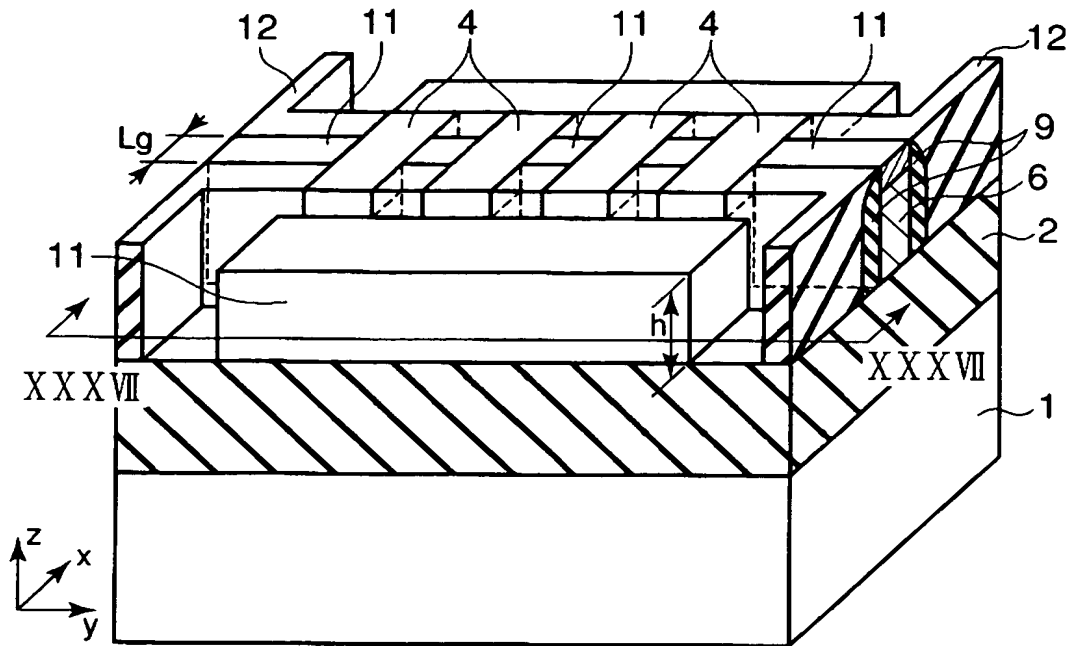
【図 34】



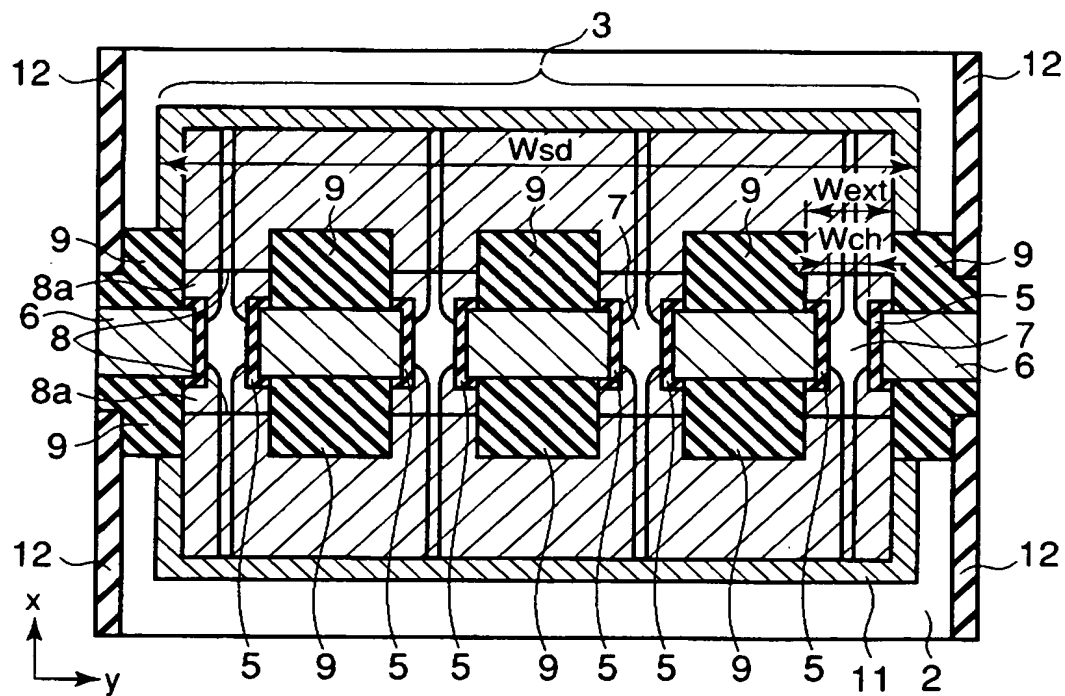
【図 35】



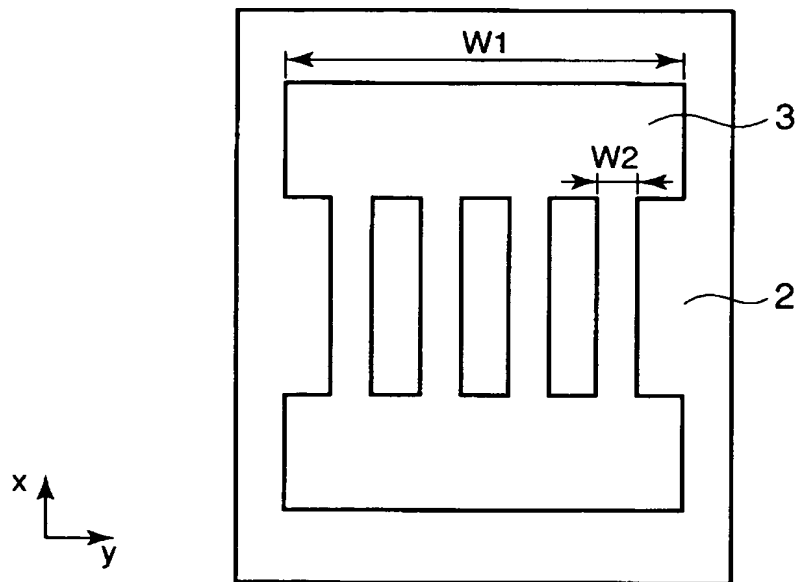
【図 36】



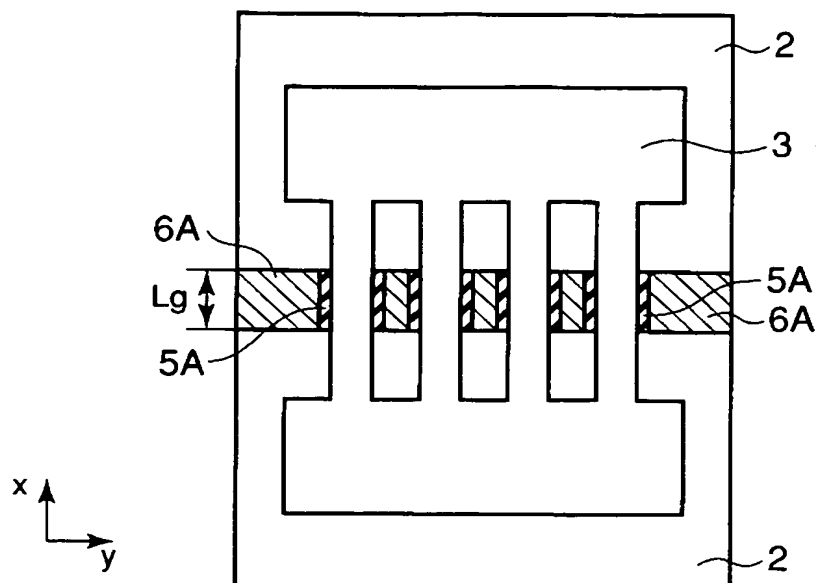
【図 37】



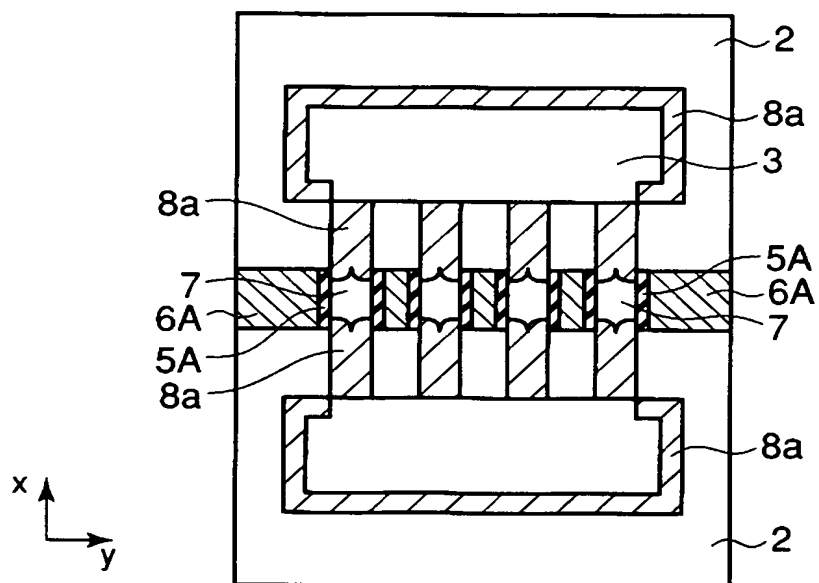
【図 38】



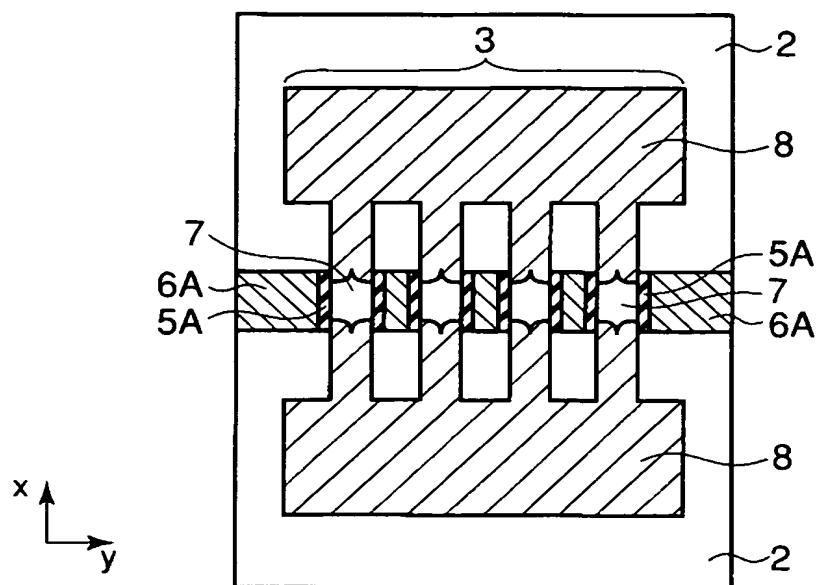
【図 39】



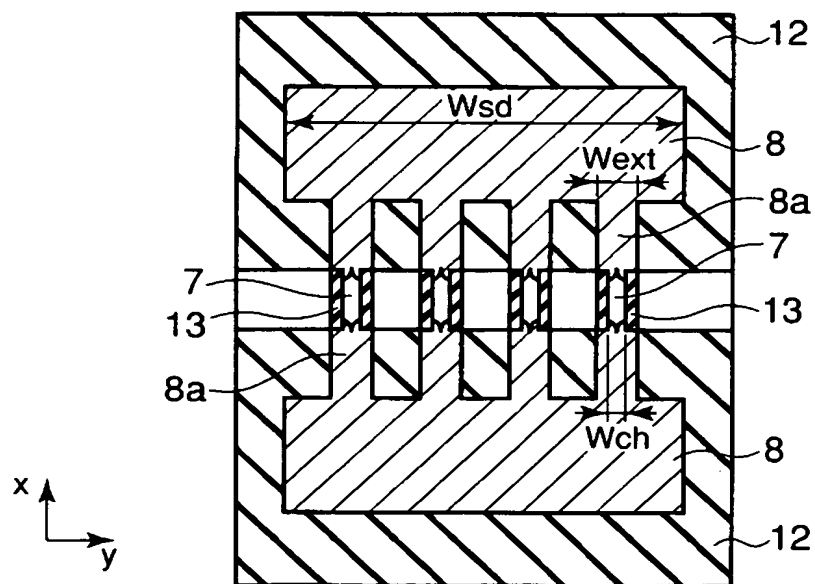
【図 40】



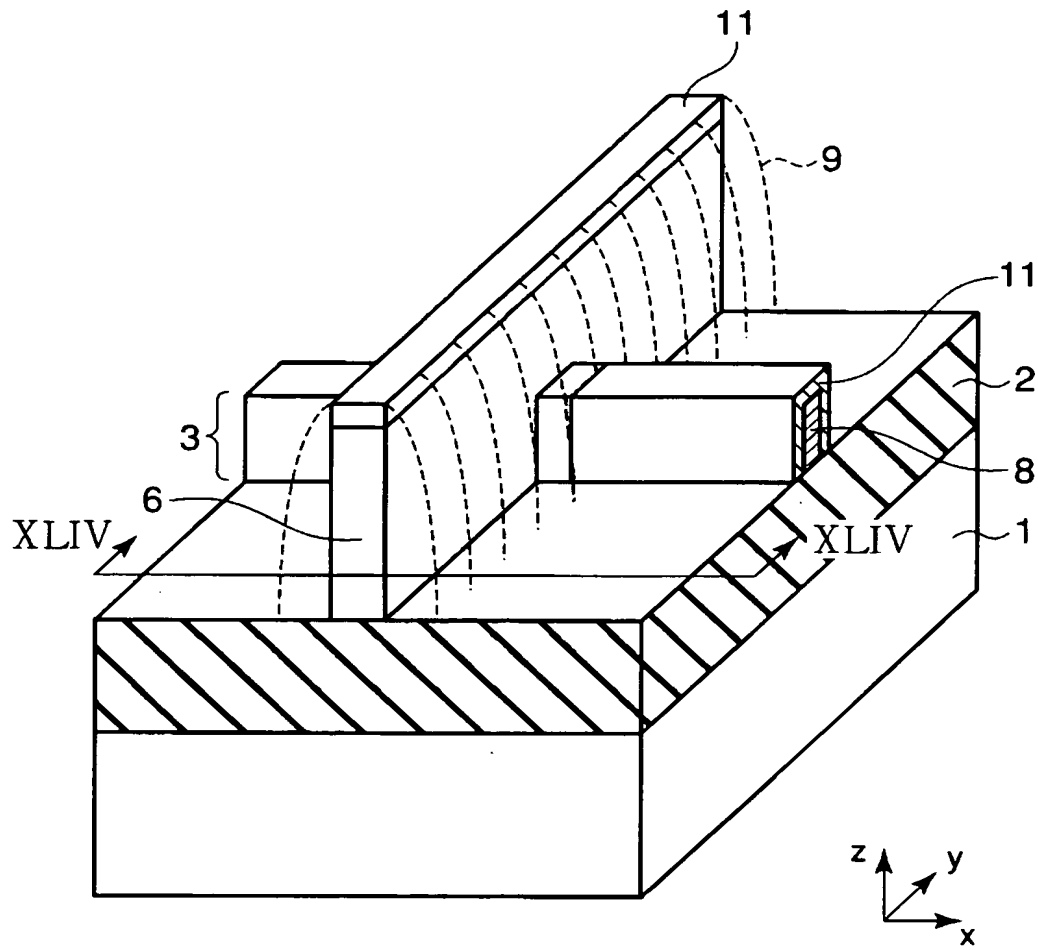
【図 4 1】



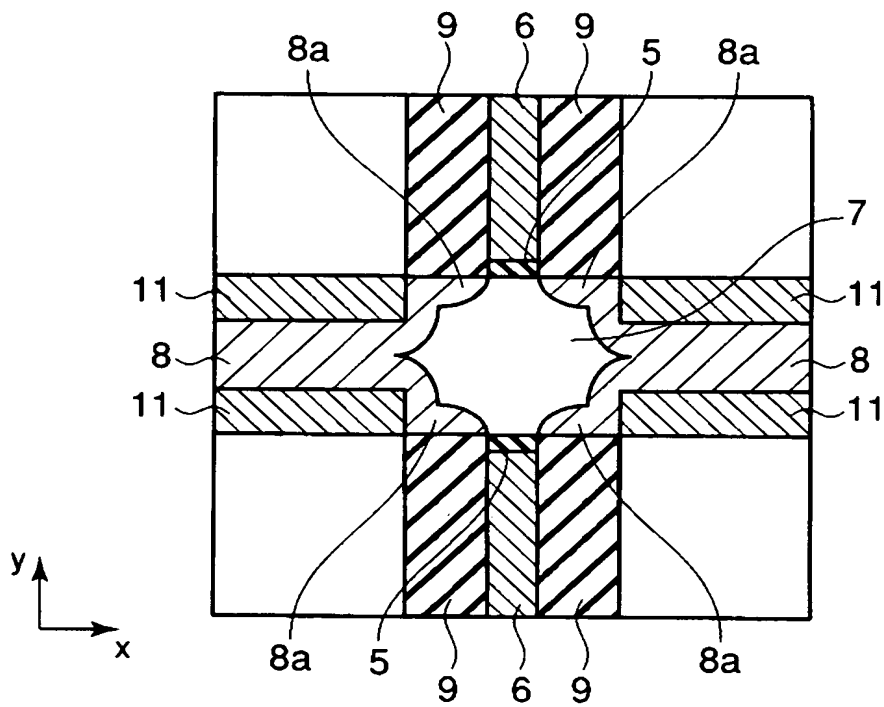
【図 4 2】



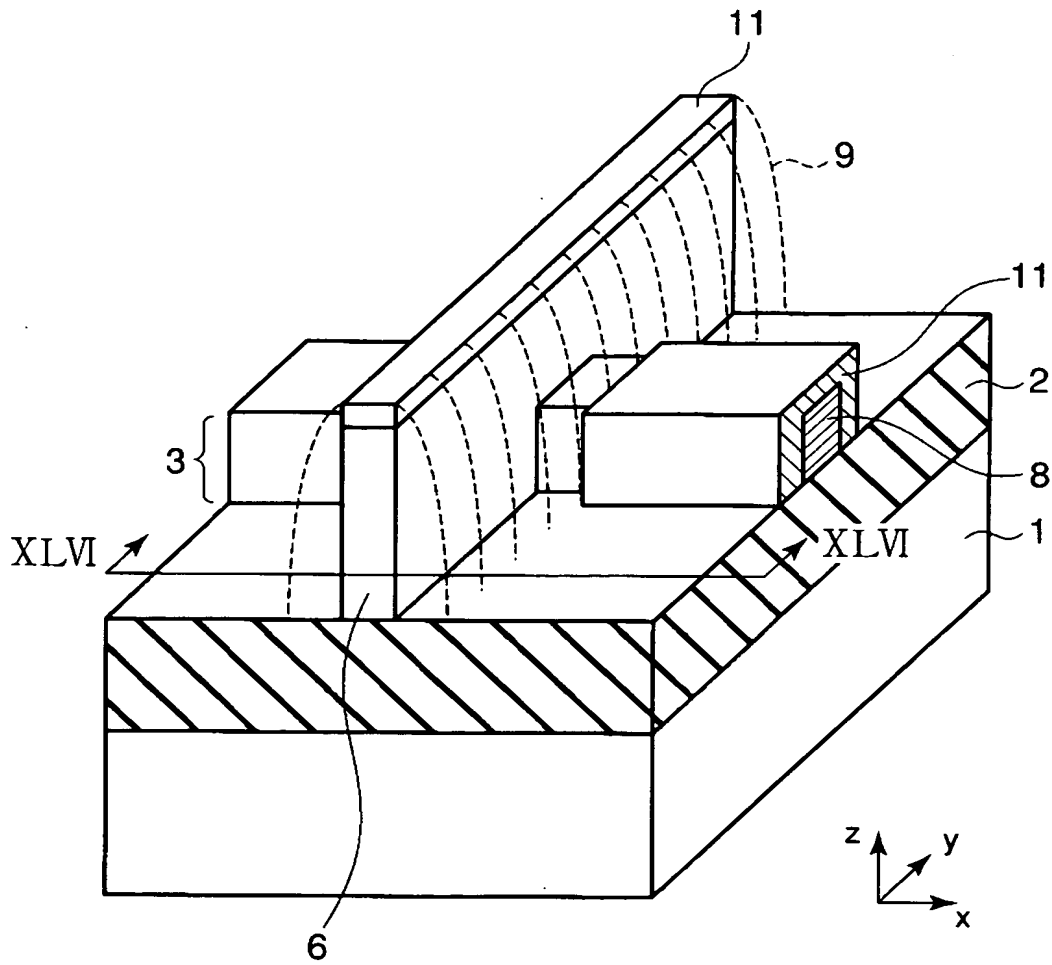
【図 43】



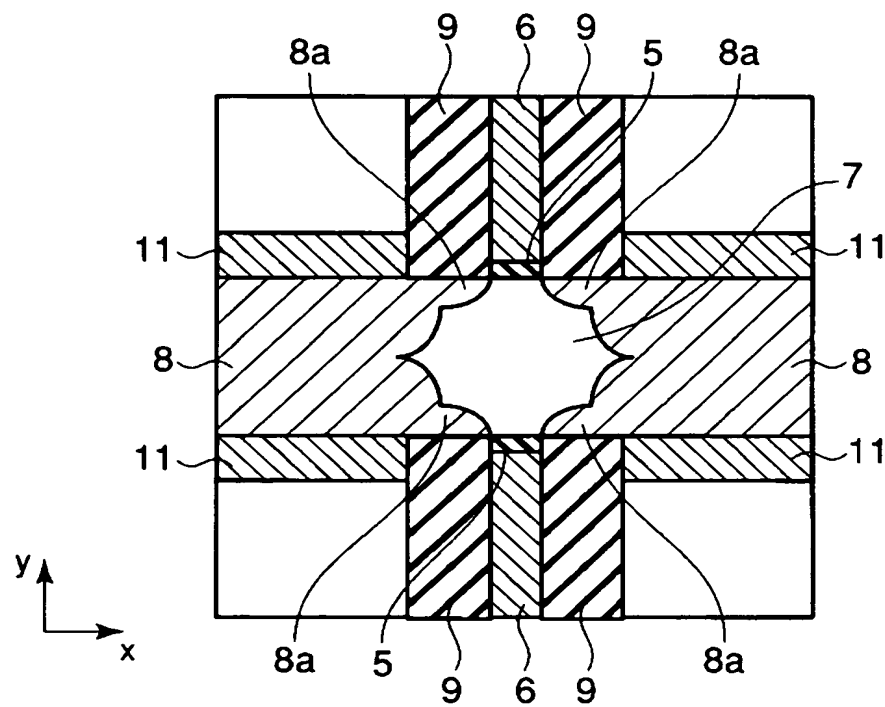
【図 44】



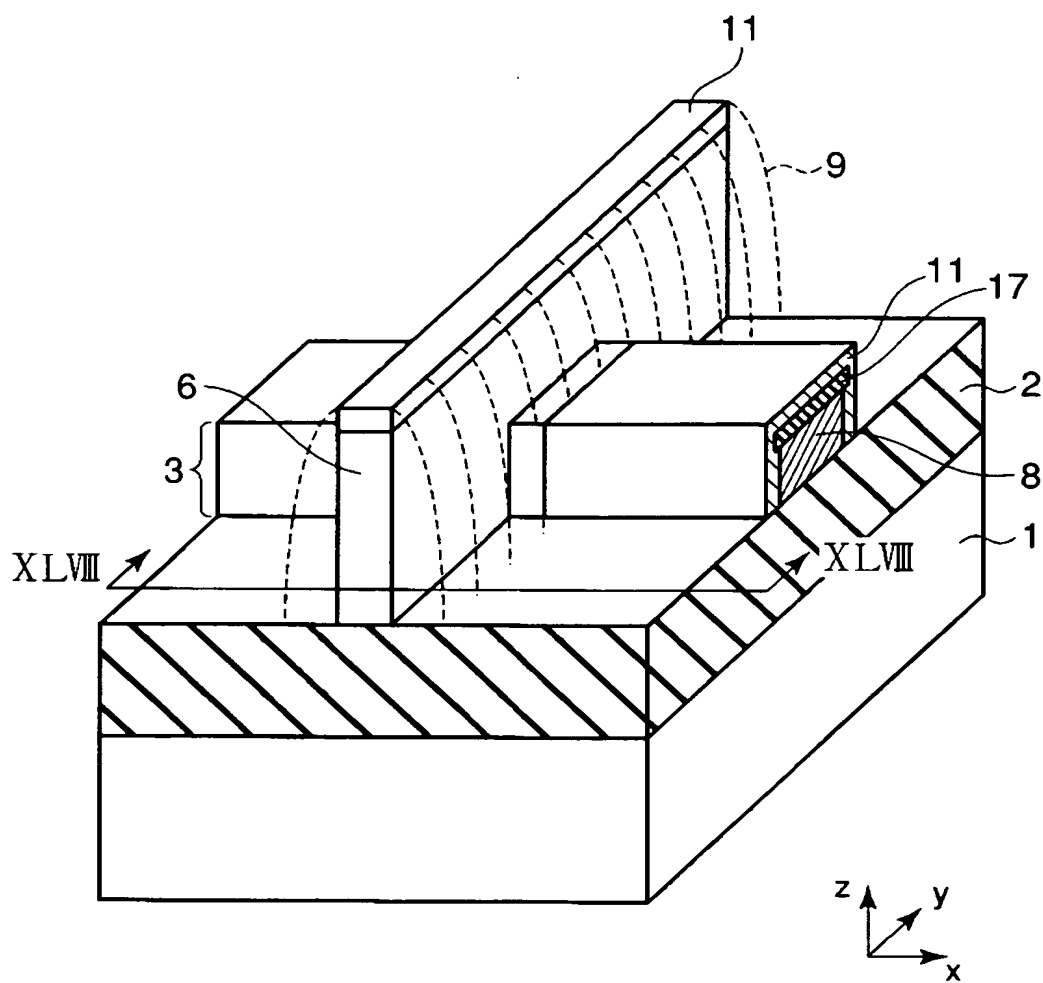
【図 45】



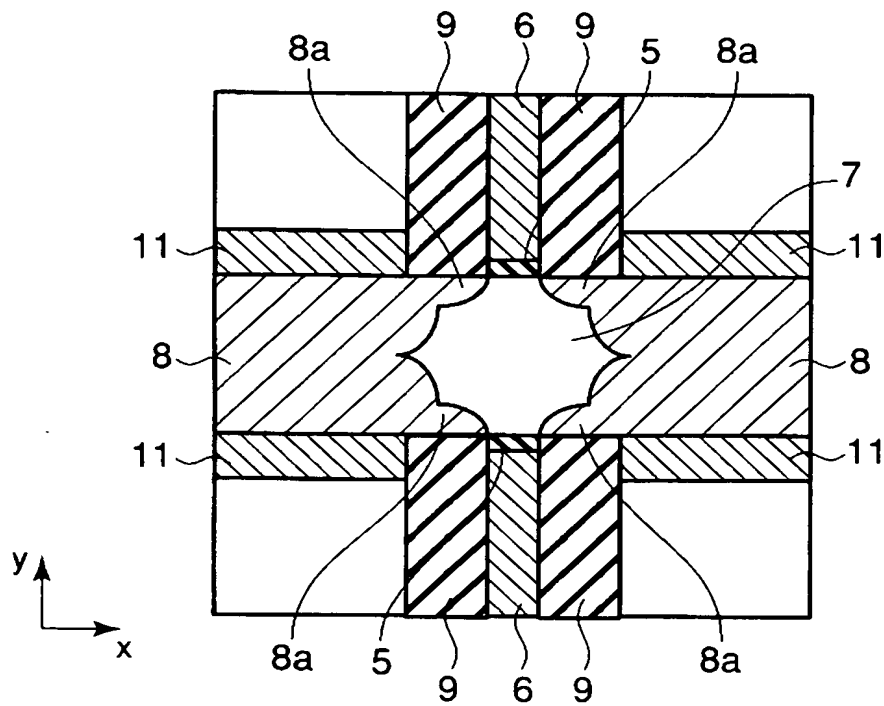
【図 46】



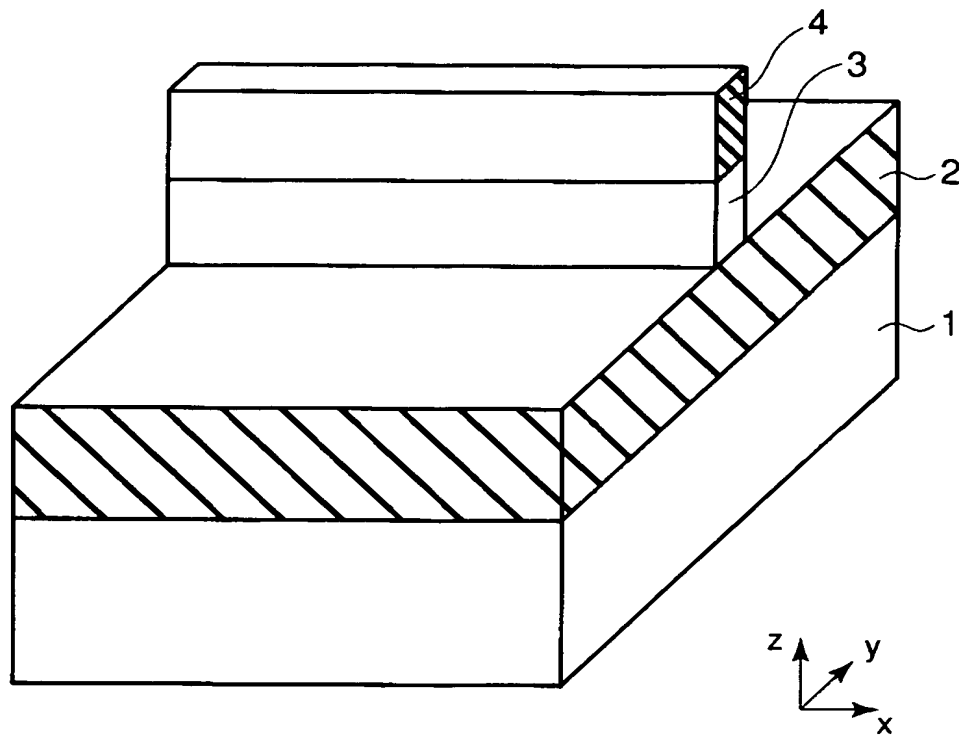
【図 47】



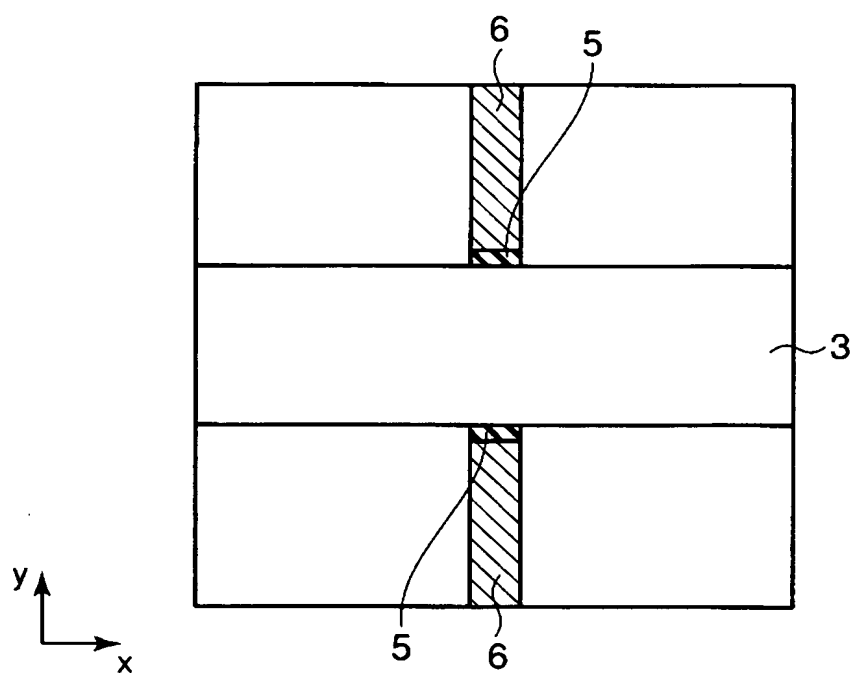
【図 48】



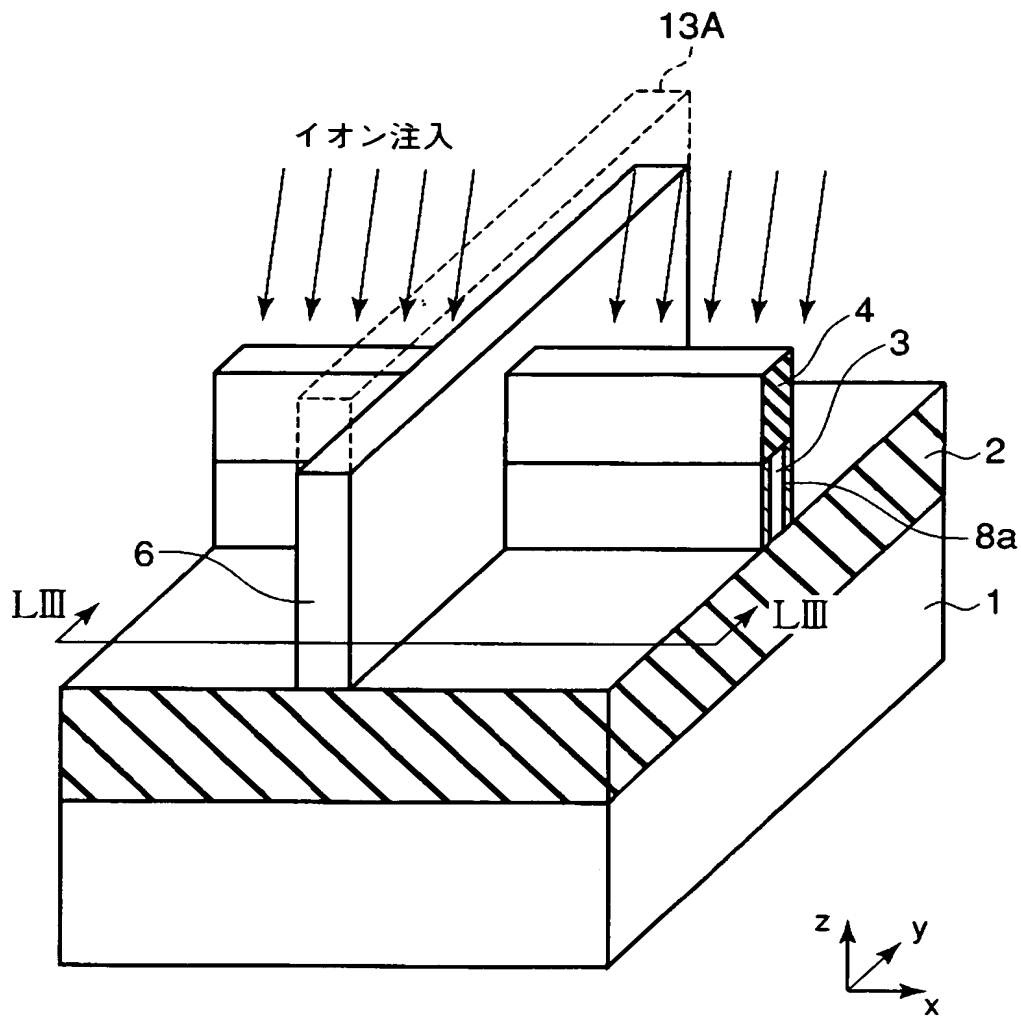
【図 49】



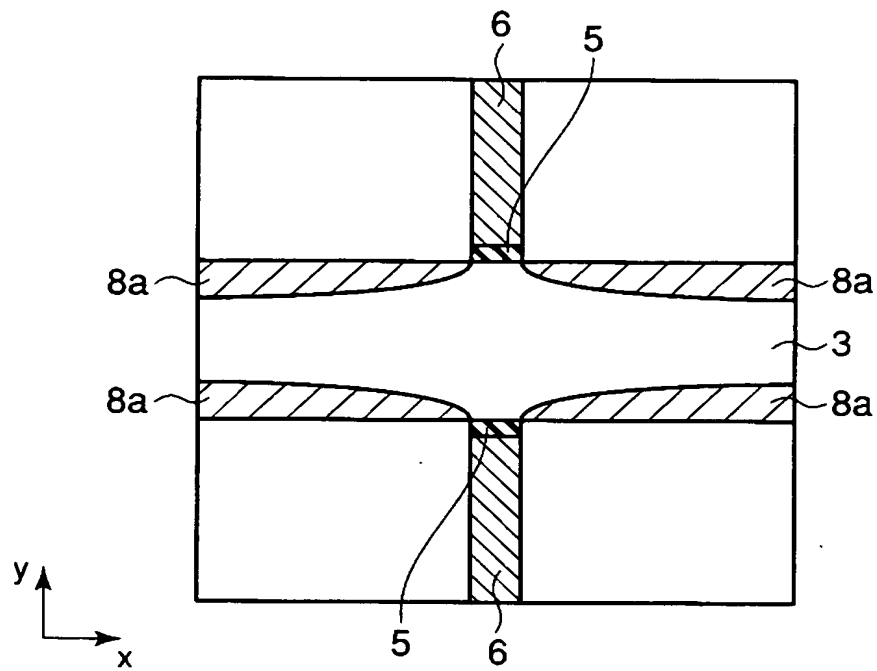
【図 5 1】



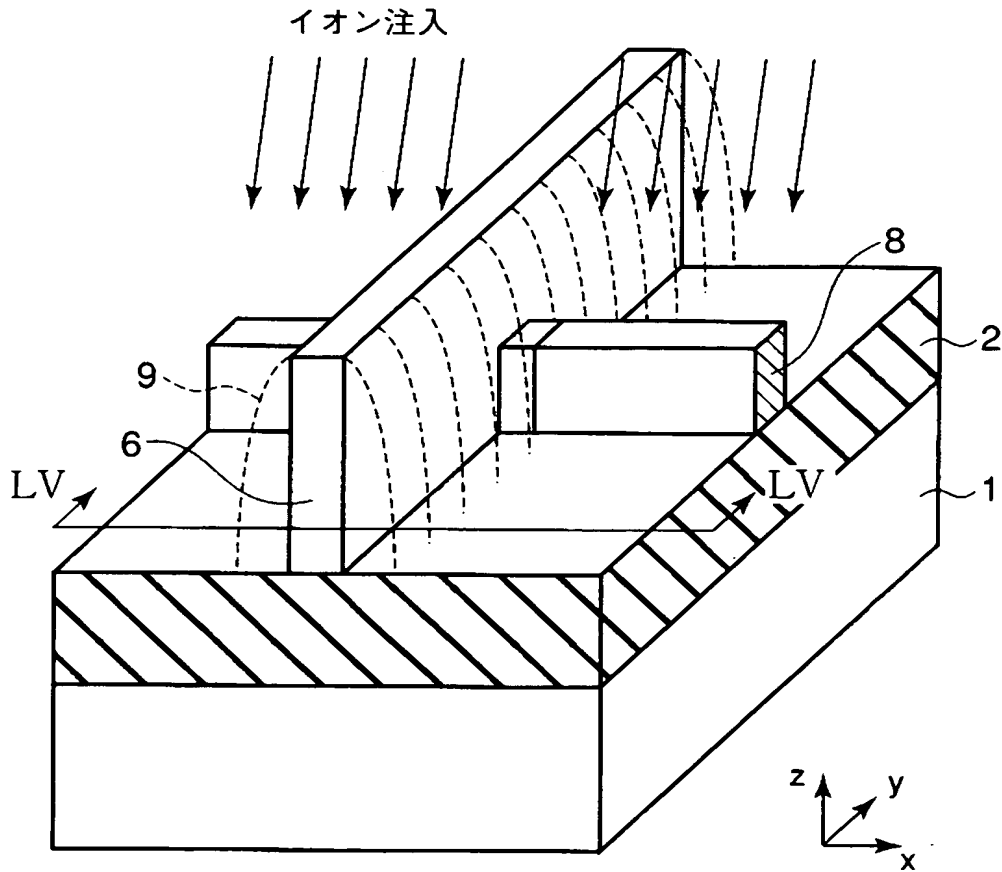
【図 52】



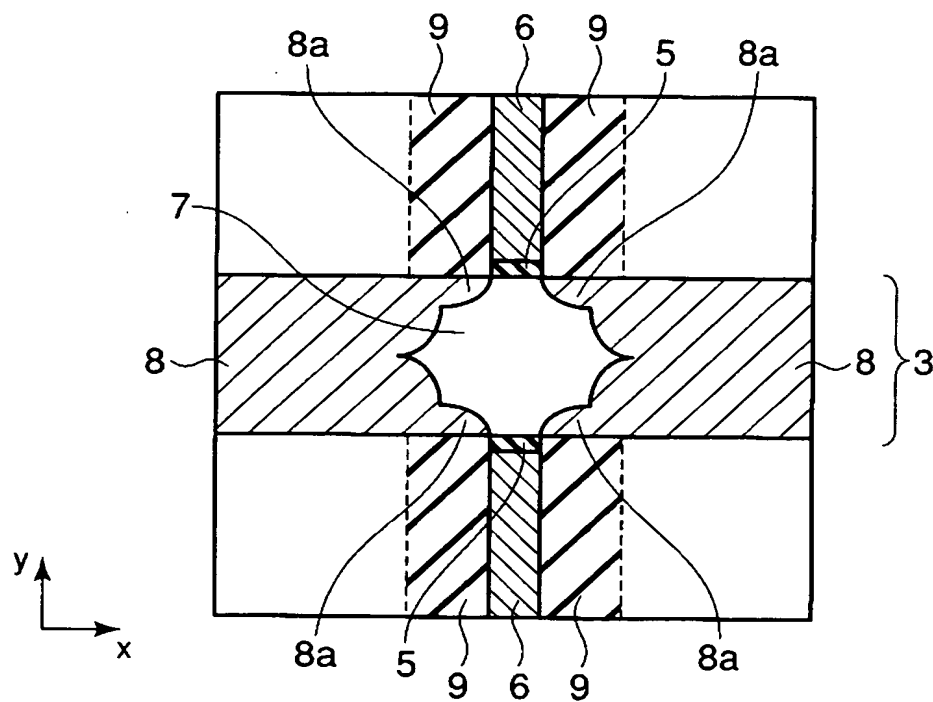
【図 53】



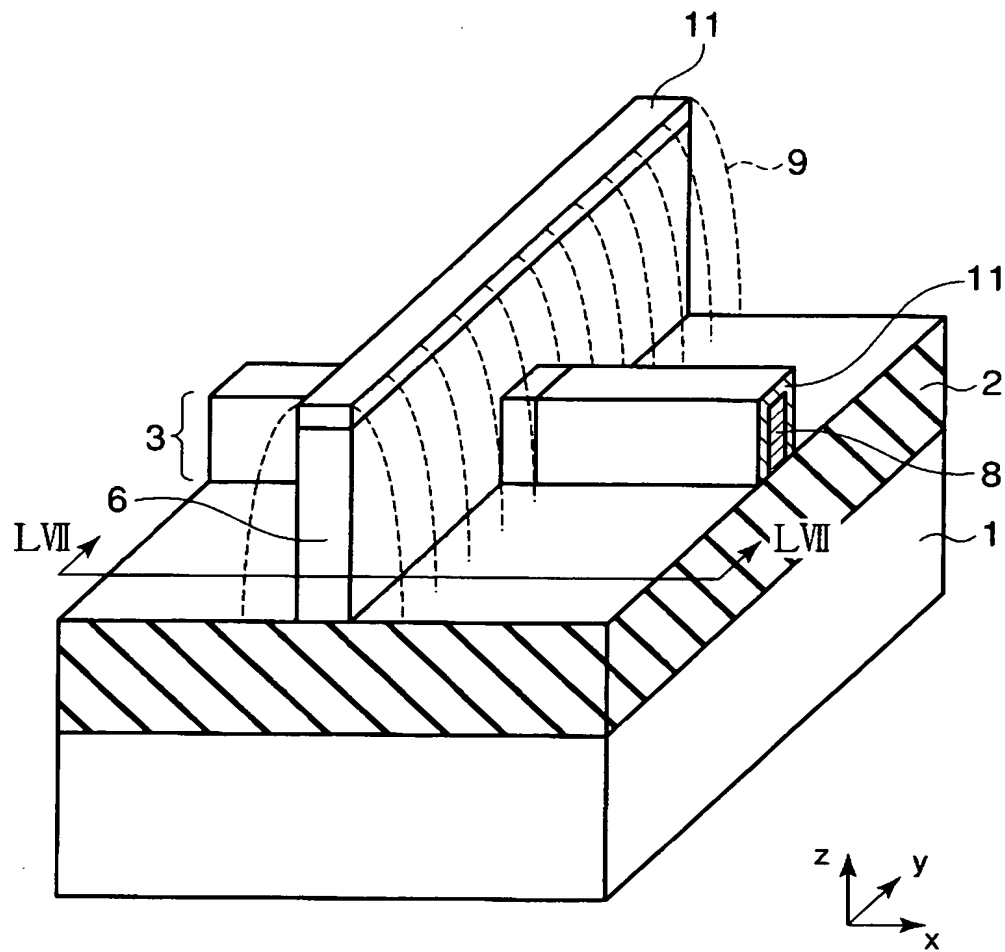
【図 5 4】



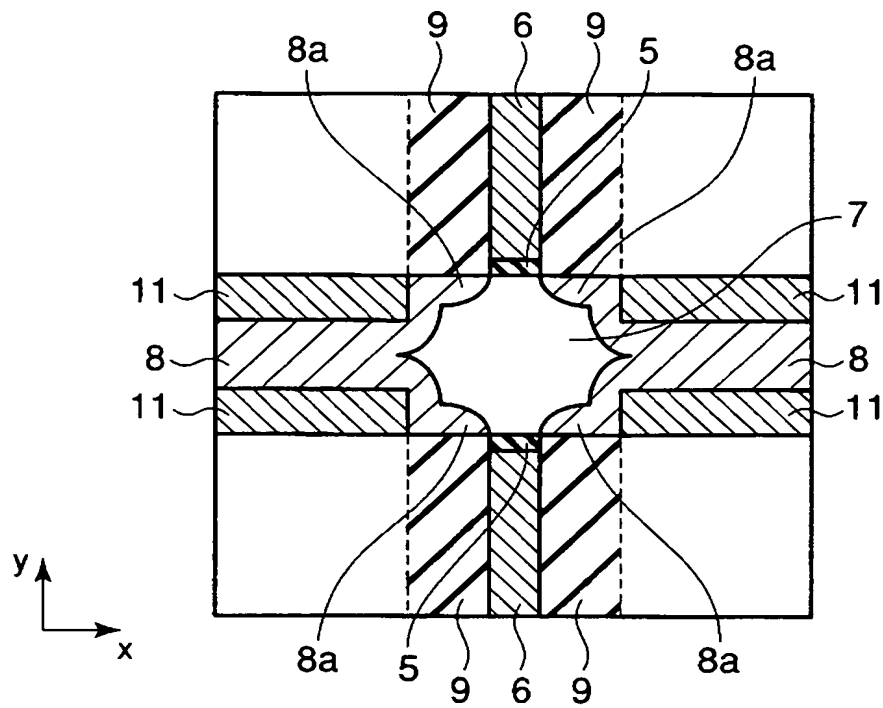
【図 55】



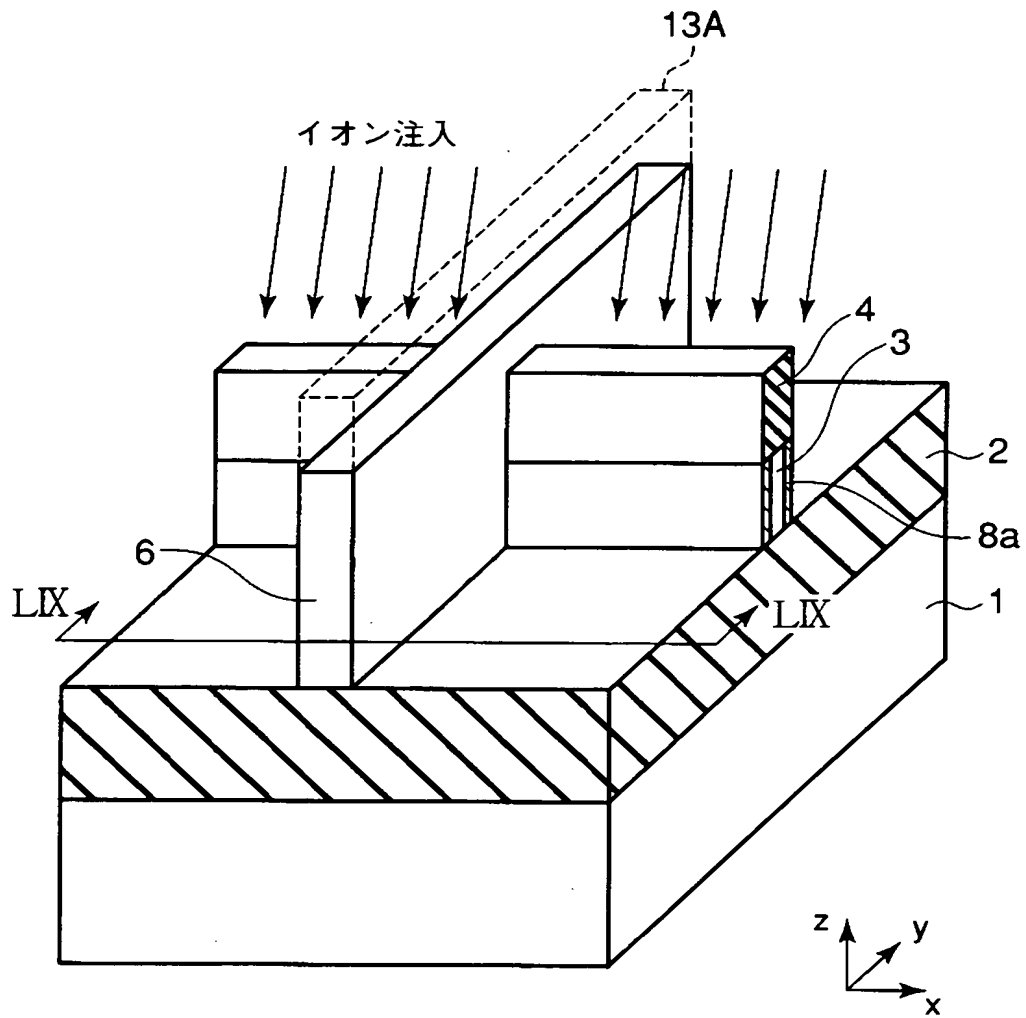
【図 5 6】



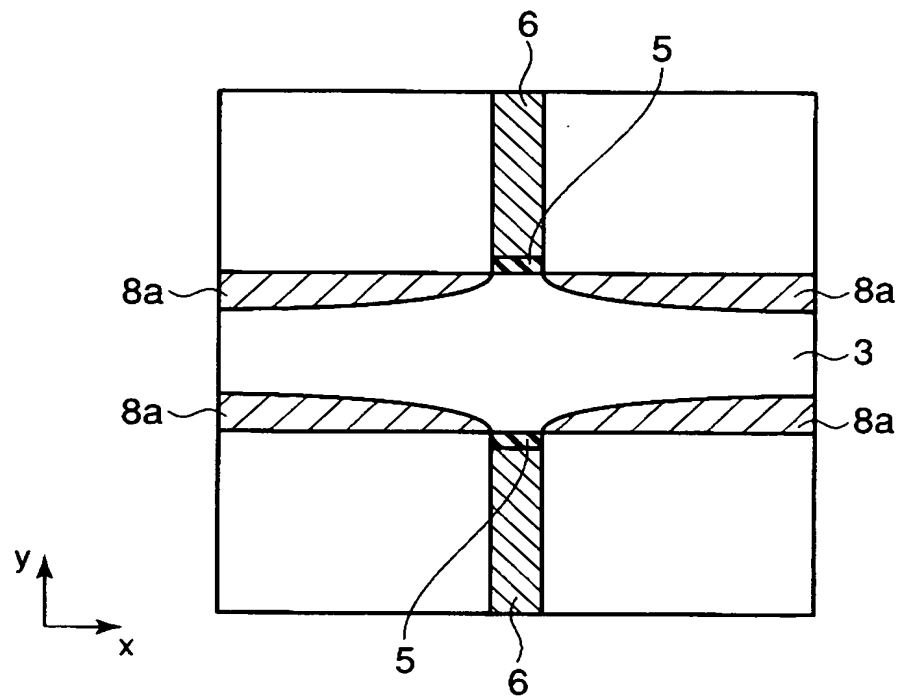
【図 57】



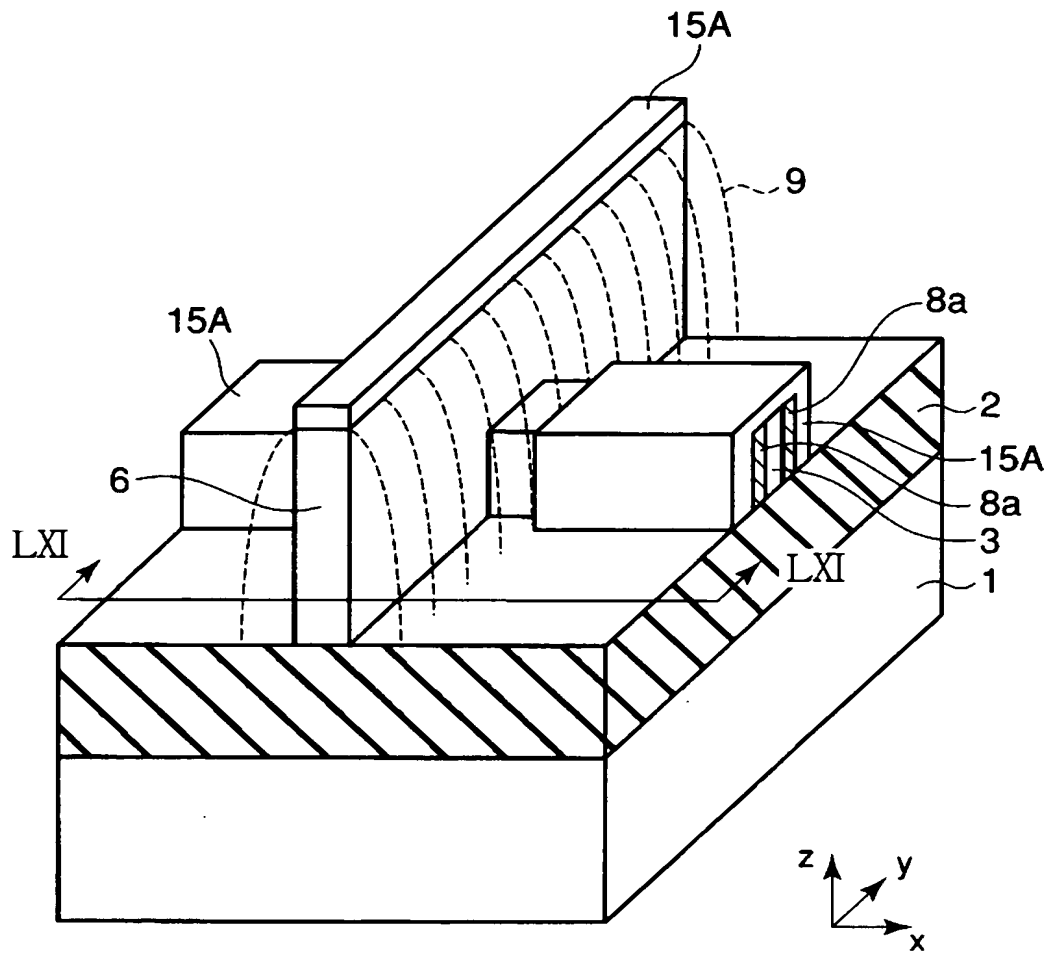
【図 58】



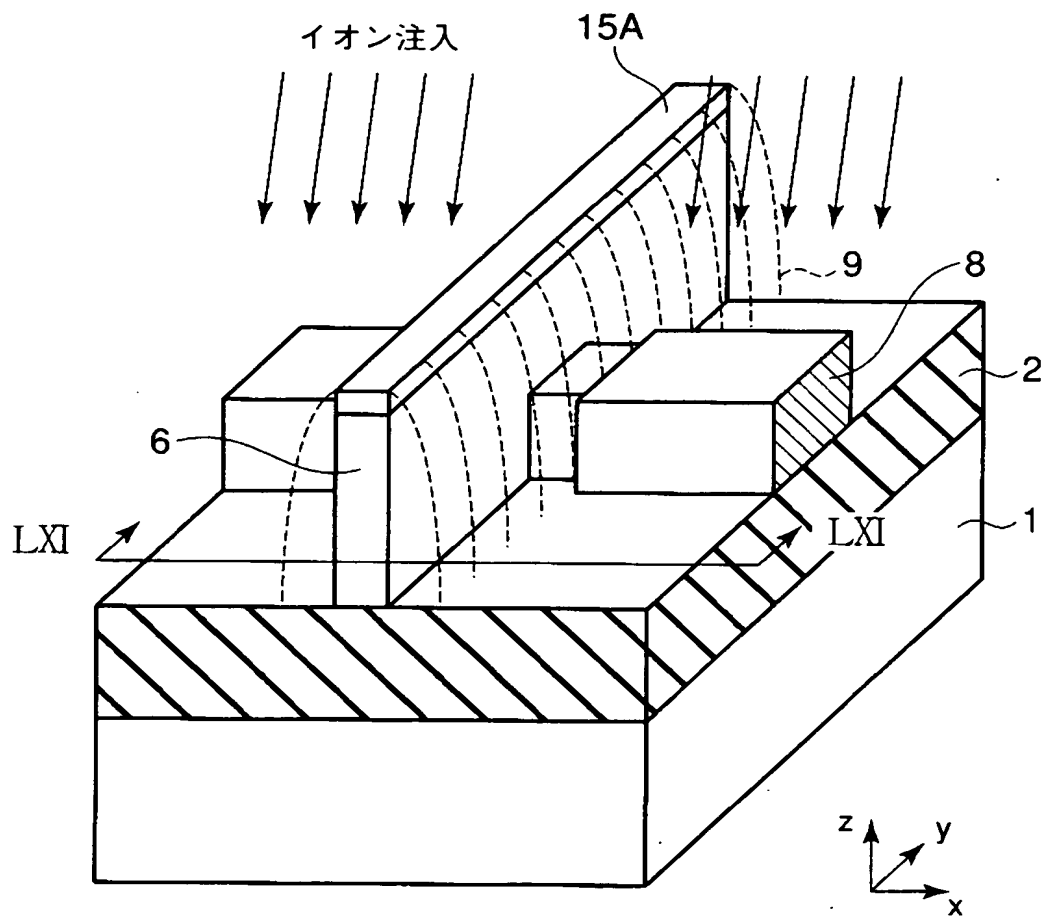
【図 59】



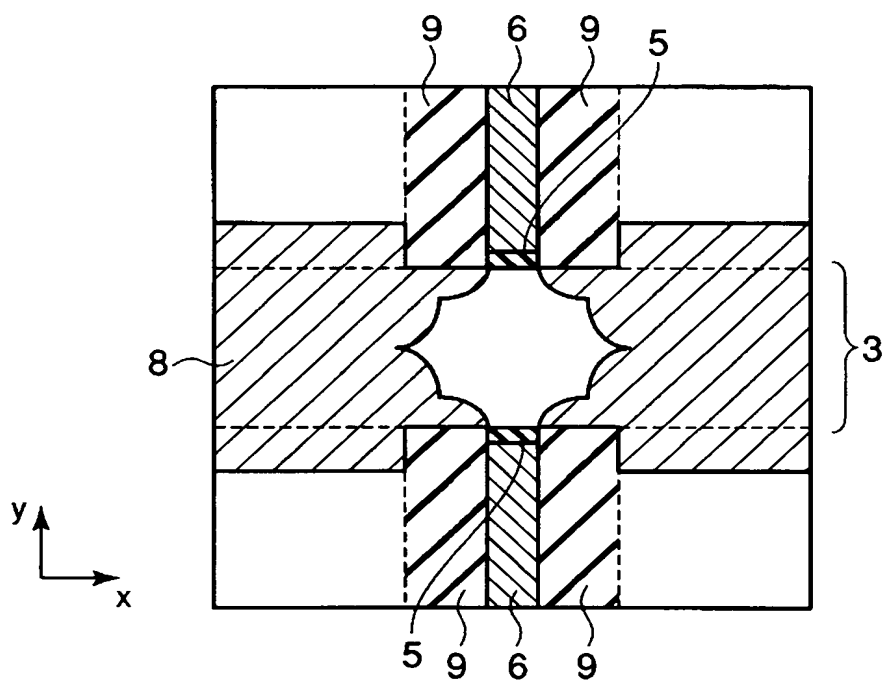
【図 60】



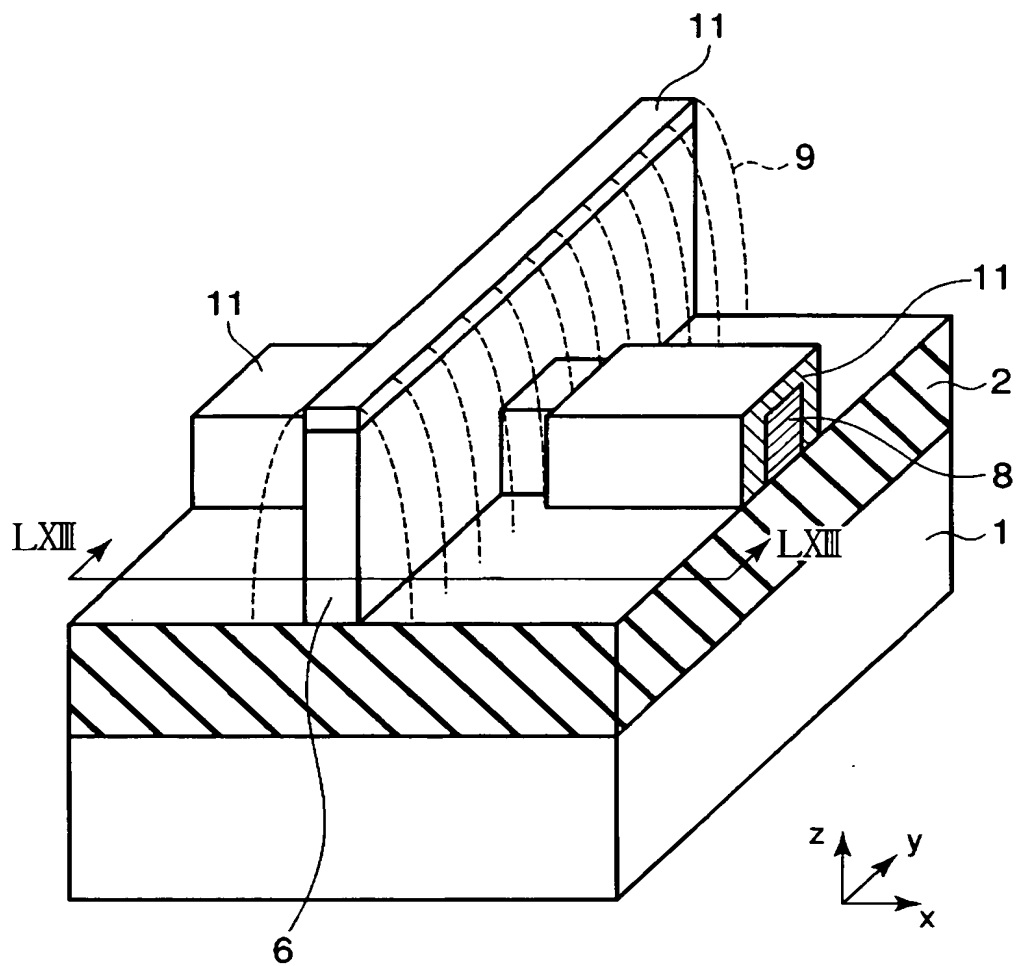
【図 62】



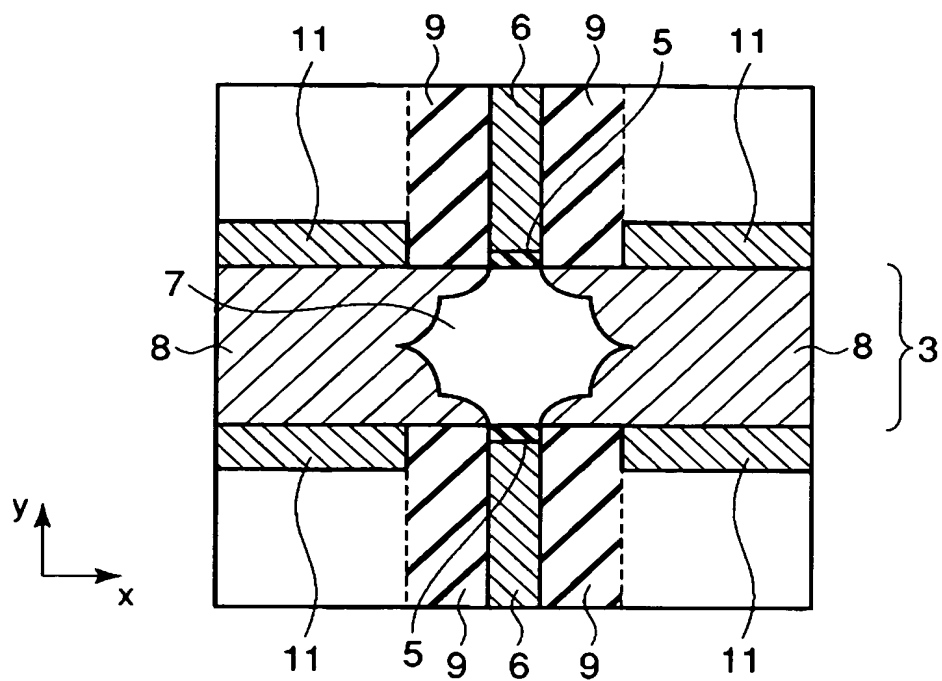
【図 63】



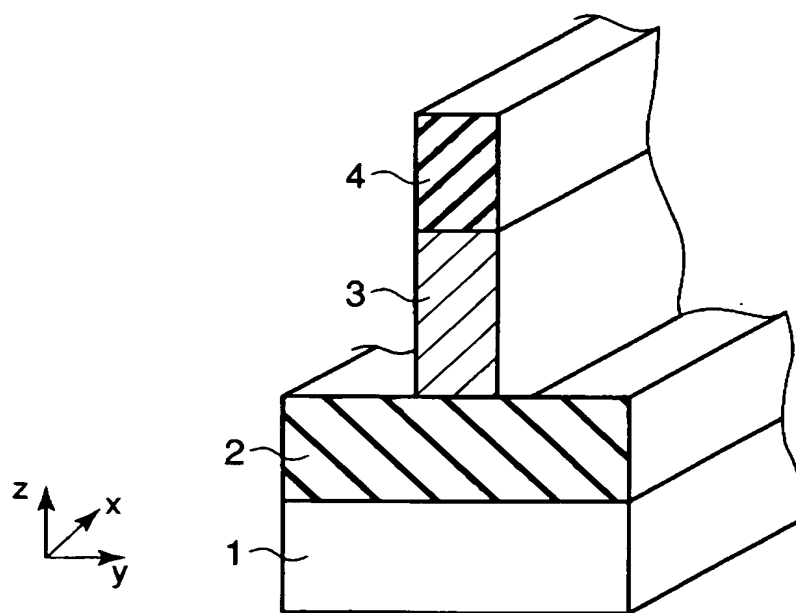
【図 64】



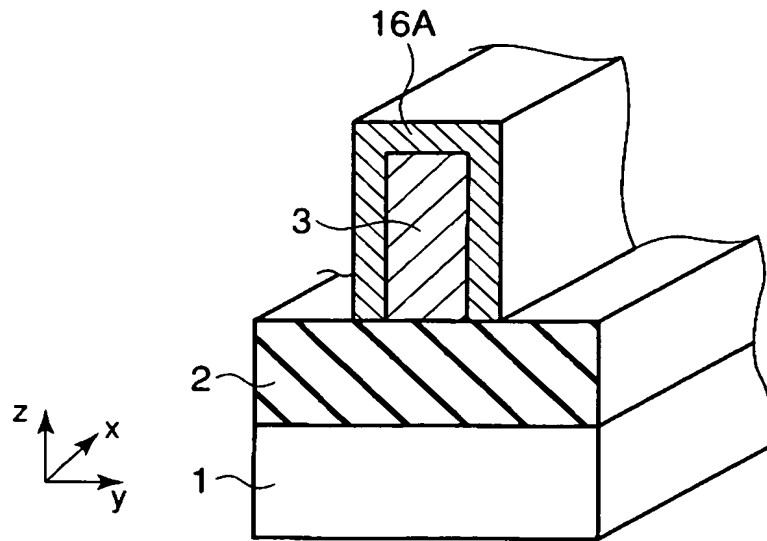
【図 6 5】



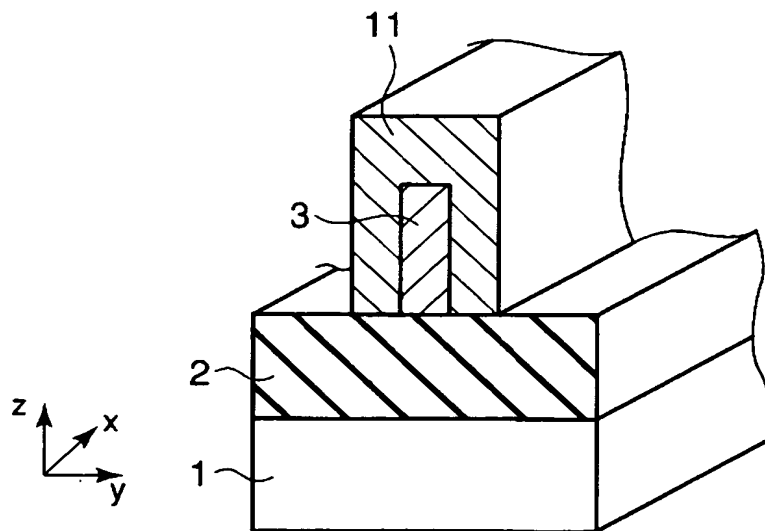
【図 6 6】



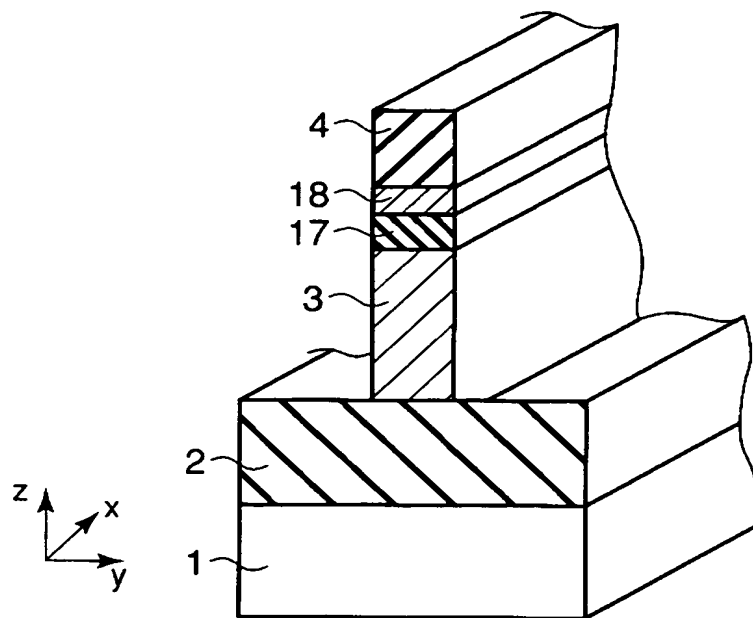
【図 67】



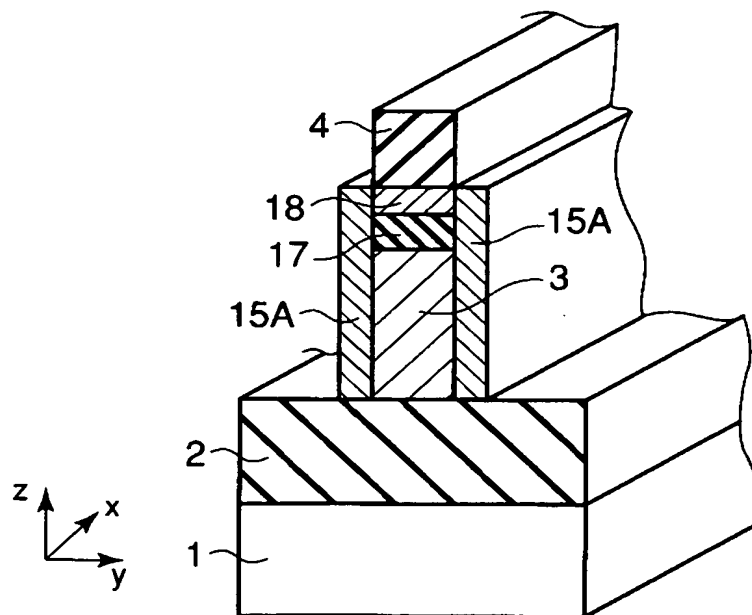
【図 68】



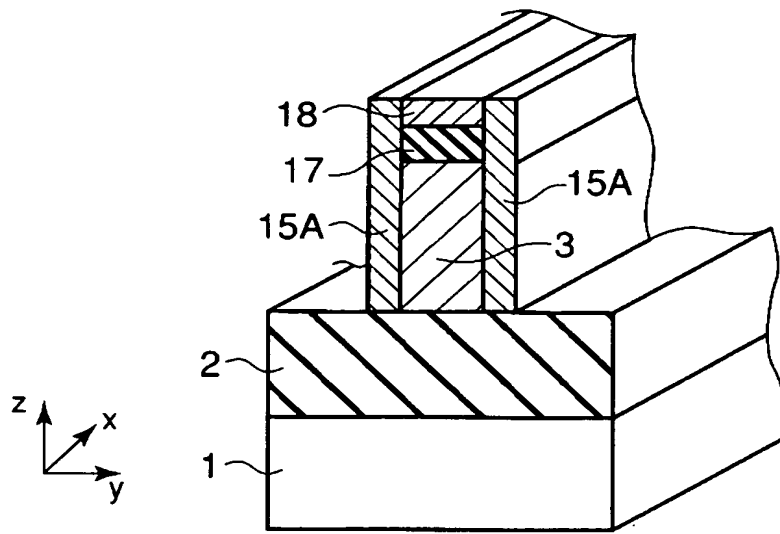
【図 69】



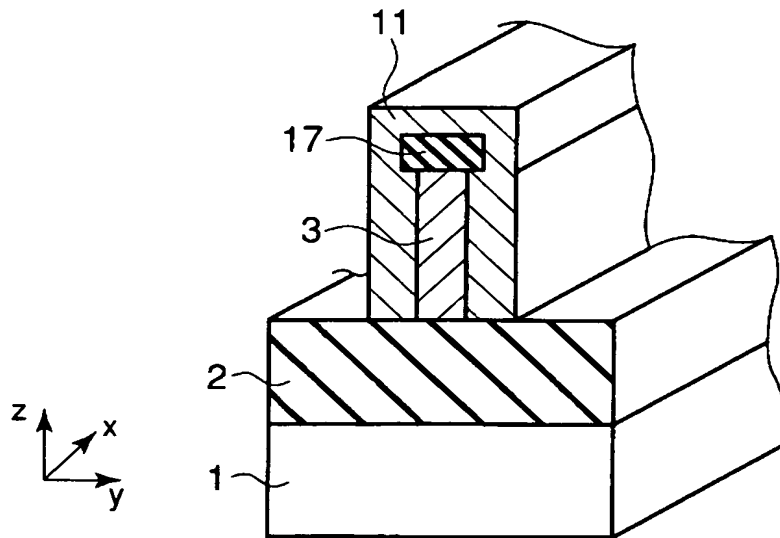
【図 70】



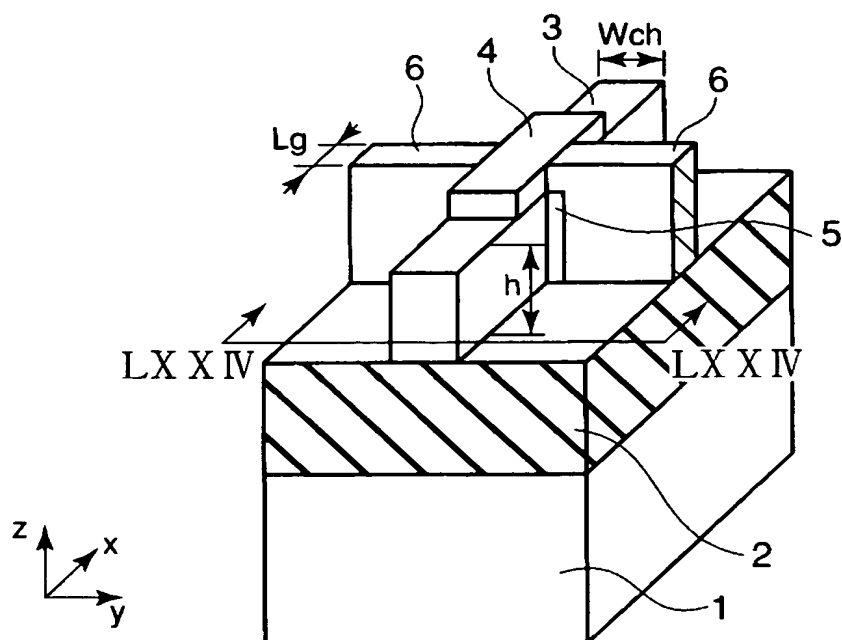
【図 7 1】



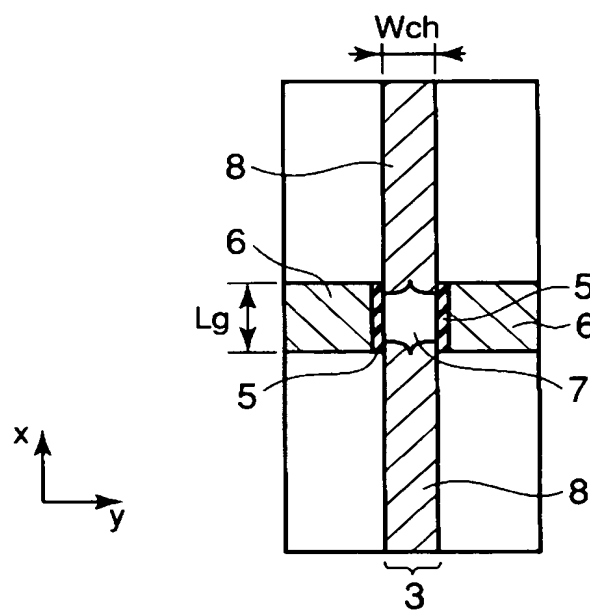
【図 7 2】



【図 7 3】

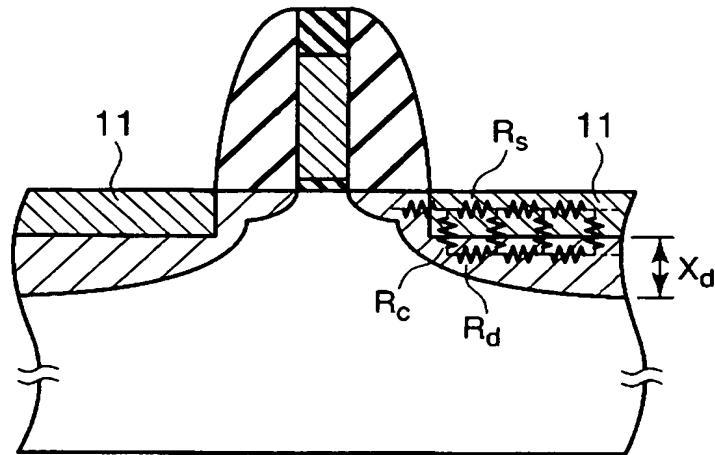


【図 7 4】



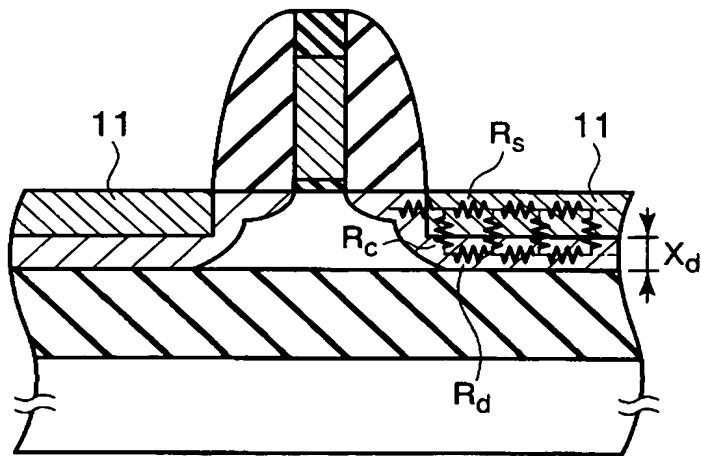
【図 75】

プレートトランジスタ

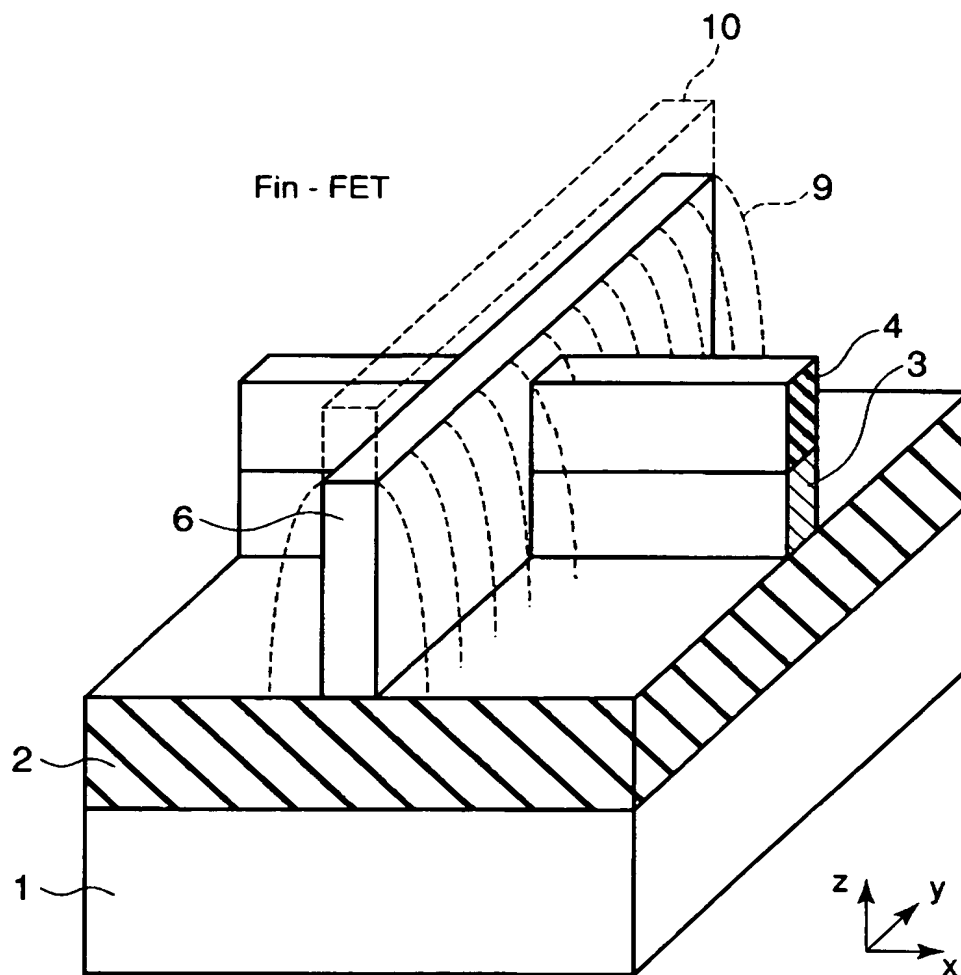


【図 76】

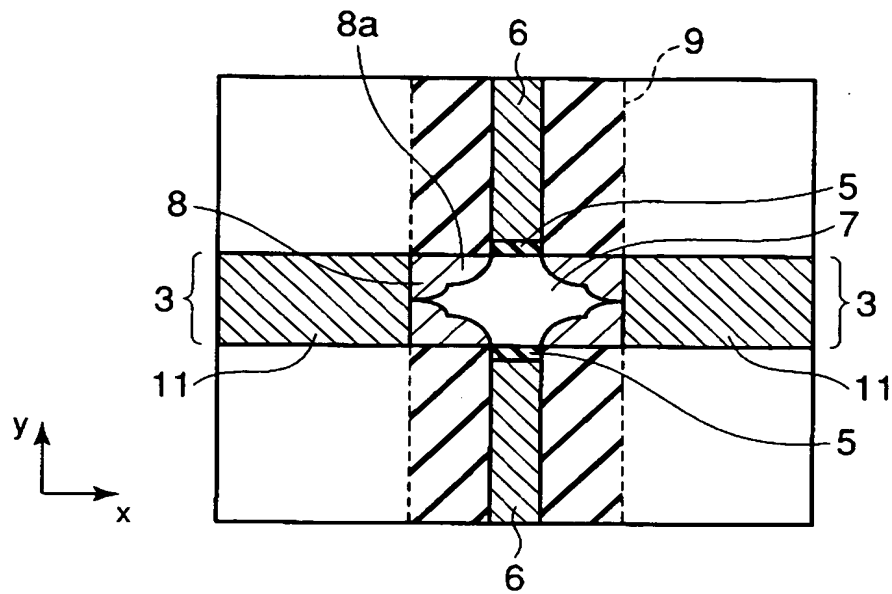
SOI-トランジスタ



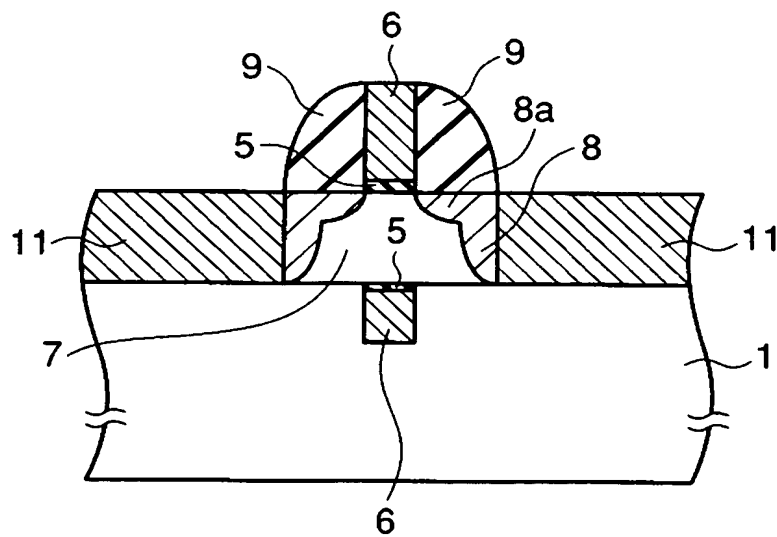
【図 77】



【図 78】



【図 79】



【書類名】 要約書

【要約】

【課題】 短チャネル効果、寄生抵抗の低減に優れた F i n F E T を提案する。

【解決手段】 F i n F E T の主要部が形成される半導体層、即ち、フィン、は、x 方向に長く、y 方向に短い形状を有する。フィンの y 方向の幅は、3 段階に変化している。まず、ゲート長 L_g のゲート電極 6 間のチャネル領域では、フィンの y 方向の幅は、 W_{ch} である。また、チャネル領域に対して、x 方向に隣接するソース／ドレインエクステンション領域におけるフィンの y 方向の幅は、 W_{ext} ($>W_{ch}$) である。さらに、ソース／ドレインエクステンション領域に対して、x 方向に隣接するソース／ドレイン領域におけるフィンの y 方向の幅は、 W_{sd} ($>W_{ext}$) である。

【選択図】 図 1

特願 2003-317259

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝